مدارهای منطقی

Logic Circuits

میلاد سلطانی

دانشگاه آزاد اسلامی

فهرست مطالب فصل چهارم

مدارهای منطقی ترکیبی

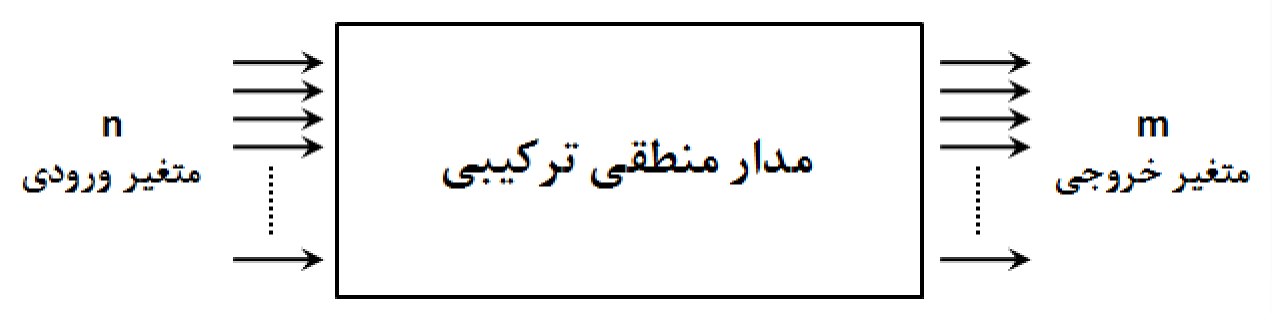
Synthetic Logic Circuits

- مقدمه
- مدارهای ترکیبی
- تحلیل مدارهای ترکیبی
- تحلیل نمودار زمانی
- طراحی مدارهای ترکیبی
- نمایشگر هفت قسمتی
- طراحی مدار با NAND و NOR
- تأخیر انتشار و مخاطره
- مدارهای ترکیبی پُر کاربرد
  - جمع کننده – تفریق کننده
  - مقایسه گر
  - دیکودر – انکودر
  - مولتی پلکسر – دی مولتی پلکسر

مقدمه

- یک مدار ترکیبی متشکل از تعدادی گیت منطقی است که خروجی آنها در هر لحظه از زمان مستقیماً به وسیله ورودی های همان لحظه معین می شود و به ورودی های قبلی بستگی ندارد.

- گیت های منطقی سیگنال هایی را از ورودی ها دریافت کرده و سیگنال هایی را برای خروجی ها تولید می نمایند.



مدارهای ترکیبی

- بحث مدارهای ترکیبی به دو حالت مطرح می شود:
  - تحلیل مدارهای ترکیبی
    - ★ باید برای مدار منطقی سخت افزاری، تابع جبری بیان کننده آنرا پیدا کنیم.
  - طراحی مدارهای ترکیبی
    - ★ باید بر اساس تابع جبری داده شده یا درخواست صورت مسئله، شکل مدار منطقی سخت افزاری را طراحی کنیم.

تحلیل مدار ترکیبی

- تحلیل یک مدار ترکیبی به این معنی است که ما تابعی جبری که مدار را پیاده سازی می کند، معین نماییم.
- تحلیل با یک نمودار منطقی (شکل ترسیم شده سخت افزاری مدار منطقی) آغاز شده و با مجموعه ای از توابع دودویی، یک جدول درستی، یا توضیحاتی از عملکرد مدار پایان می یابد.
- اولین قدم در تحلیل اینست که مطمئن شویم مدار از نوع ترکیبی است و نه ترتیبی.
  - ★ نمودار یک مدار ترکیبی حاوی گیت هایی است که فاقد مسیرهای پسخورد یا حافظه است. یک مسیر پسخورد، اتصالی است از خروجی یک گیت به ورودی گیت دیگری که خود بخش ورودی آن را (گیت خروجی) تشکیل می دهد.

تحلیل مدار ترکیبی

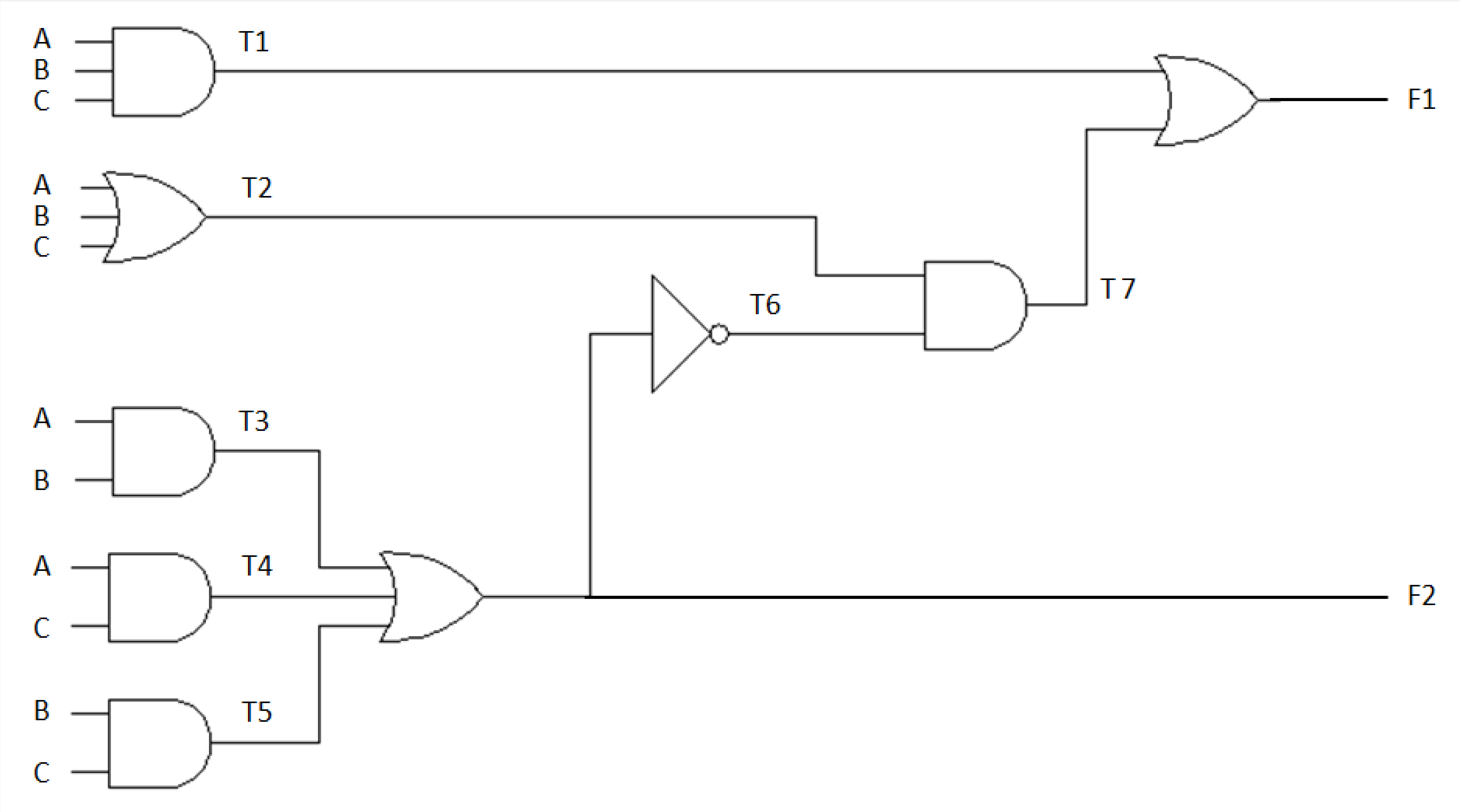
- مراحل تحلیل مدار ترکیبی به شرح زیر است:

۱. تمام گیت های مدار با سمبل های دلخواه تا رسیدن به گیت های خروجی نام گذاری شوند.
   - برای خروجی هر گیت تابع جبری را معین کنید.

۲. با جایگزینی توابع بدست آمده برای گیت ها، توابع جبری خروجی را بر حسب متغیرهای ورودی اولیه بدست آورید.

۳. با قرار دادن مقادیر درست 0 و 1 بر اساس روابط مرحله قبلی در جدول درستی، تابع جبری مدار را بدست آورید.

مثال : مدار ترکیبی شکل زیر را تحلیل کنید.



این مدار سه ورودی A - B – C و دو خروجی F1 - F2 دارد. تابع جبری معادل با هر گیت عبارتست از:

$$T1 = ABC \qquad T4 = AC \qquad T7 = T2.T6$$

$$T2 = A + B + C \qquad T5 = BC \qquad F1 = T1 + T7$$

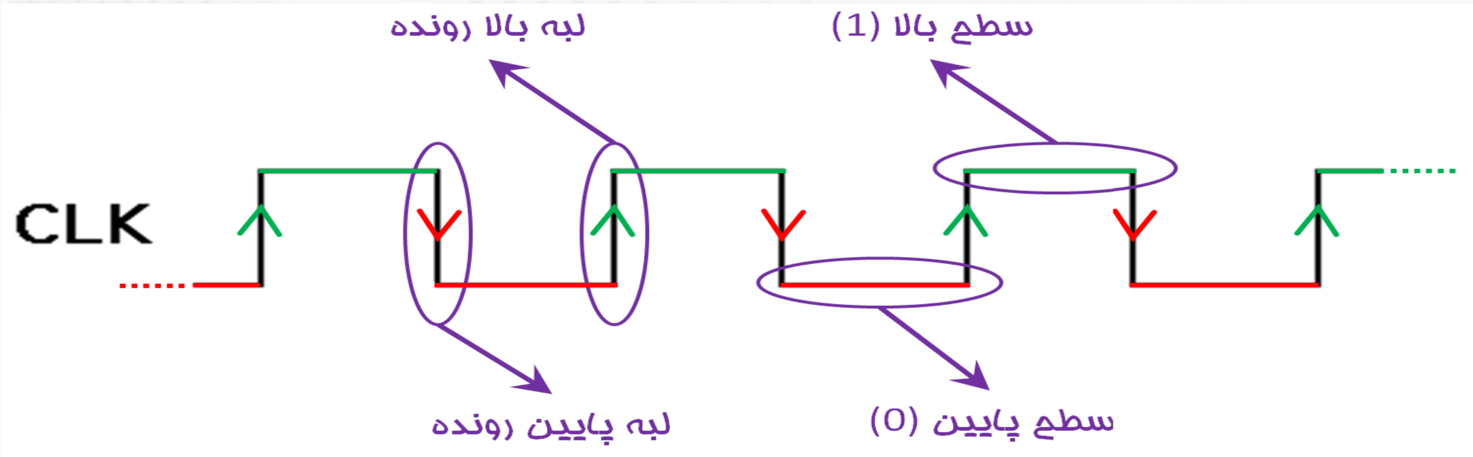
$$T3 = AB \qquad T6 = \overline{F2} \qquad F2 = T3 + T4 + T5$$

	A	B	C	T1	T2	T3	T4	T5	T6	T7	F1	F2
m_0	0	0	0	0	0	0	0	0	1	0	0	0
m_1	0	0	1	0	1	0	0	0	1	1	1	0
m_2	0	1	0	0	1	0	0	0	1	1	1	0
m_3	0	1	1	0	1	0	0	1	0	0	0	1
m_4	1	0	0	0	1	0	0	0	1	1	1	0
m_5	1	0	1	0	1	0	1	0	0	0	0	1
m_6	1	1	0	0	1	1	0	0	0	0	0	1
m_7	1	1	1	1	1	1	1	1	0	0	1	1

$$F1(A,B,C) = \sum m(1,2,4,7) \qquad F2(A,B,C) = \sum m(3,5,6,7)$$

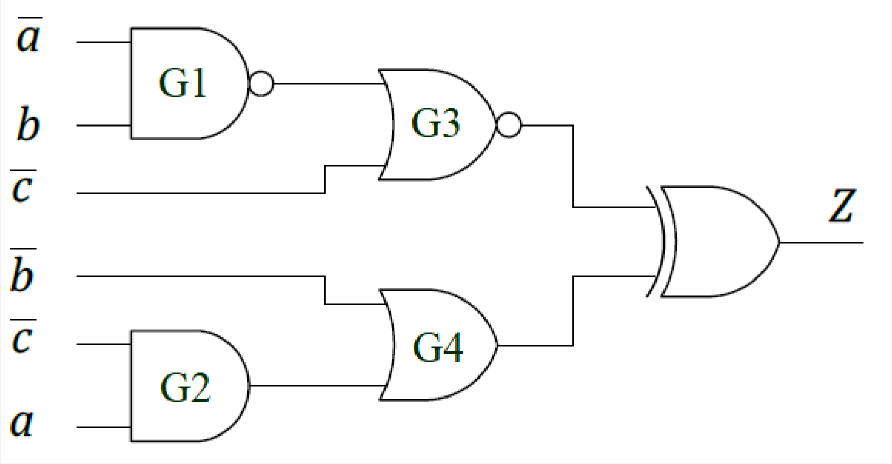
تحلیل نمودار زمانی مدار

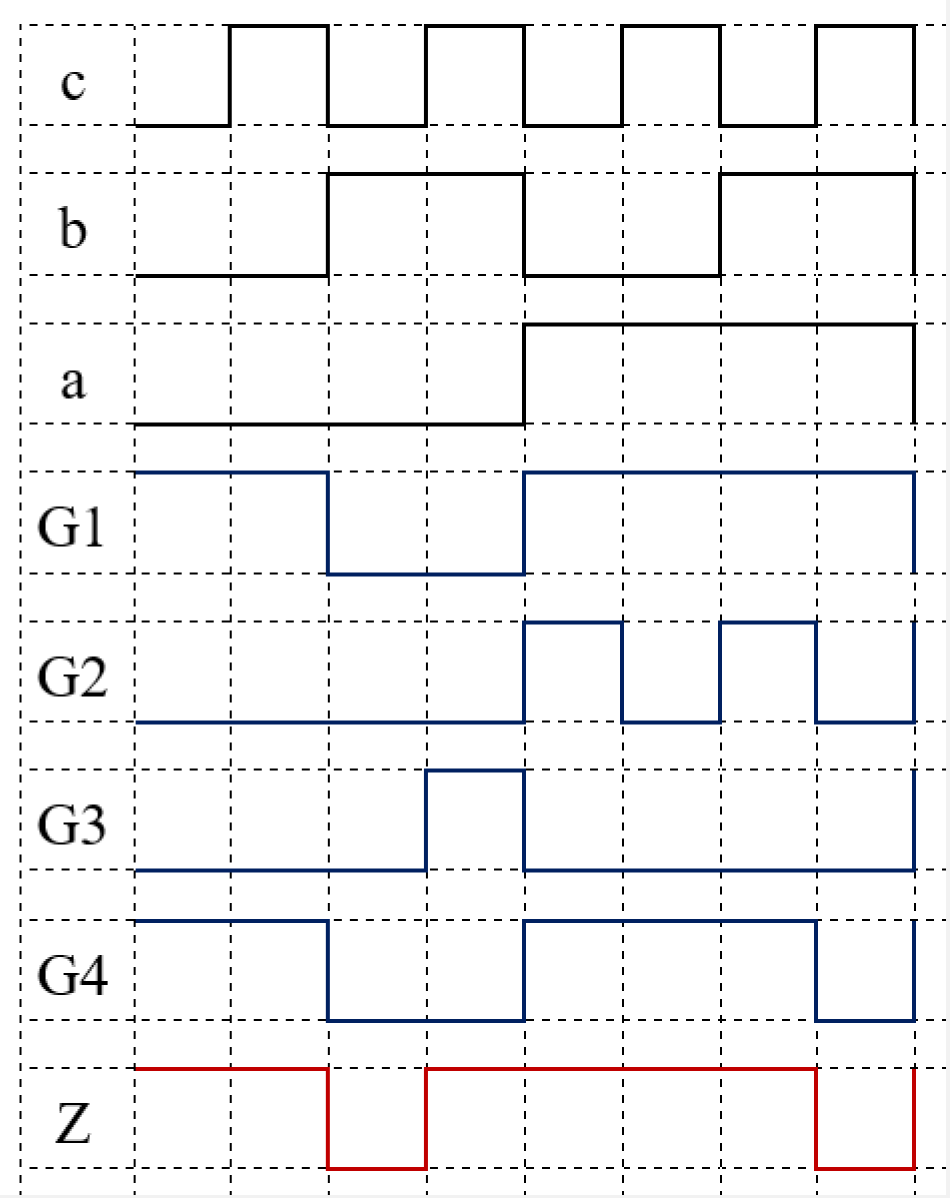
- برای تحلیل سیگنال از شکل پالس مربعی استفاده می شود که راستای عمودی بیانگر مقدار 0 یا 1 سیگنال و راستای افقی زمان را نشان می دهد.



- جهت محاسبات شکل سیگنال ها از تغییرات در لبه های پالس استفاده می شود.

مثال: نمودار زمانی مدار زیر را کامل کنید.





$$G1 = \overline{(\bar{a}.b)} = a + \bar{b}$$

$$G2 = a.\bar{c}$$

$$G3 = \overline{(G1 + \bar{c})} = \overline{G1}.c$$

$$G4 = \bar{b} + G2$$

$$Z = G3 \oplus G4$$

طراحی مدار ترکیبی

- مراحل طراحی مدار ترکیبی به شرح زیر است:

۱. بااستفاده از مشخصات صورت مسئله، تعداد ورودی ها و خروجی ها را معین کرده و برای هر کدام سمبلی مشخص کنید.

۲. جدول درستی مربوط به ورودی ها و خروجی های مدار را تشکیل دهید.

۳. تابع جبری ساده شده را برای هر خروجی به صورت تابعی از متغیرهای ورودی بدست آورید.

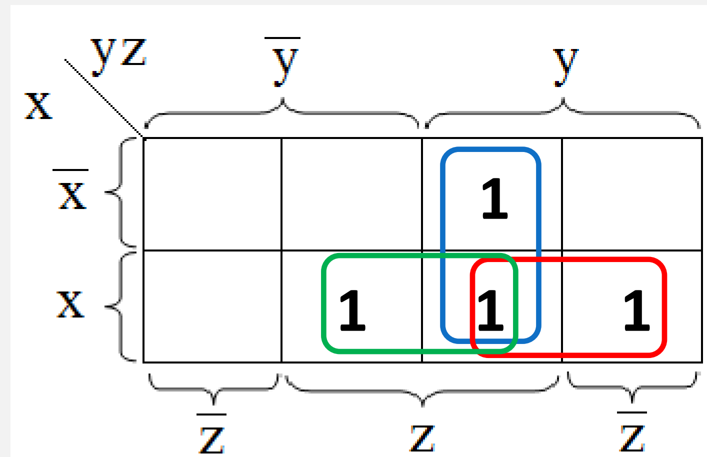
۴. نمودار منطقی را رسم کرده و صحت طراحی را تحقیق نمایید.

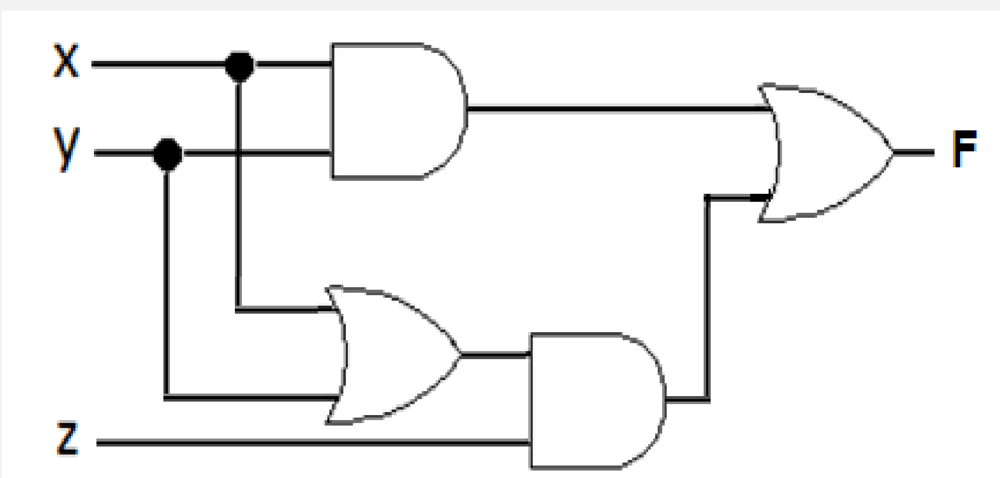
مثال : مدار ترکیبی طراحی کنید که ورودی آن کُد باینری سه بیتی است. وقتی تعداد ارقام 1 در ورودی بیشتر از دوتا است، خروجی یک، در غیر اینصورت صفر است.

ورودی ها: ۳ متغیر x-y-z **مربوط به کُد** باینری

خروجی ها: ۱ متغیر F

ورودی BCD			خروجی
x	**y**	**z**	**F**
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	1





$$F_s(x,y,z) = yz + xz + xy \times$$

$$OR$$

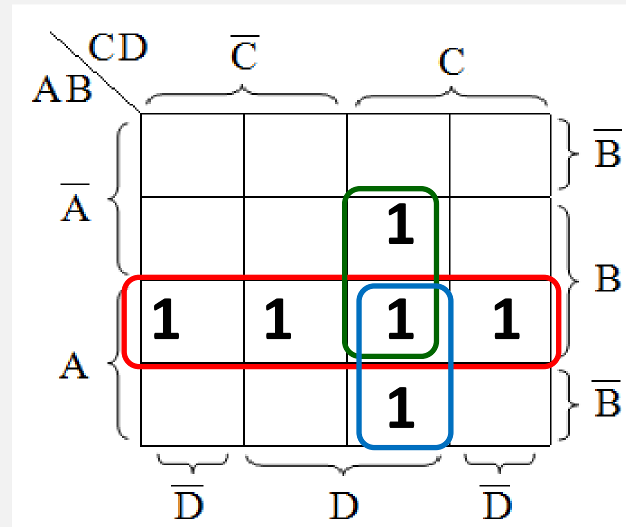
✓ $$F_{so}(x,y,z) = z(y+x) + xy \bullet$$

$$OR$$

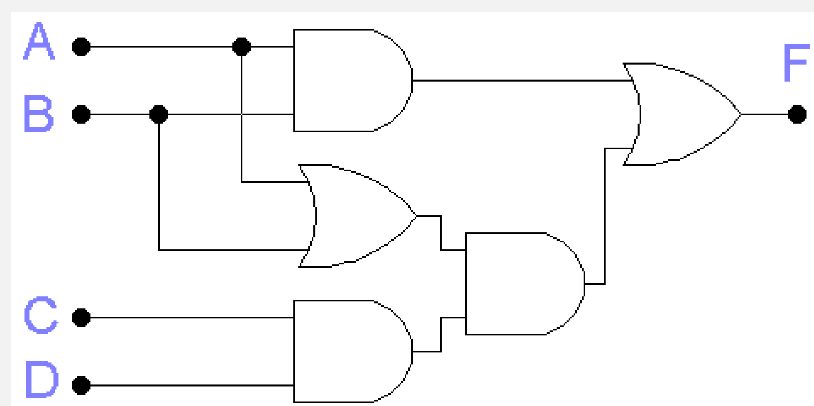
$$F_{so}(x,y,z) = yz + x(z+y) \bullet$$

مثال : یک خانواده چهار نفری غذای بیرون یا همبرگر میل می کنند یا مرغ. جهت تعیین غذا همیشه رأی گیری کرده و بُرد با اکثریت است. اگر پدر و مادر یک نظر داشته باشند، برنده هستند. اگر رأی گیری مساوی شود، غذای مرغ خواهند خورد. مدار منطقی رأی گیری این خانواده را طراحی کنید.

آرای اعضای خانواده				خروجی رأی گیری	
پدر A	مادر B	پسر C	دختر D	F	نوع غذا
0	0	0	0	0	مرغ
0	0	0	1	0	مرغ
0	0	1	0	0	مرغ
0	0	1	1	0	مرغ
0	1	0	0	0	مرغ
0	1	0	1	0	مرغ
0	1	1	0	0	مرغ
0	1	1	1	1	همبرگر
1	0	0	0	0	مرغ
1	0	0	1	0	مرغ
1	0	1	0	0	مرغ
1	0	1	1	1	همبرگر
1	1	0	0	1	همبرگر
1	1	0	1	1	همبرگر
1	1	1	0	1	همبرگر
1	1	1	1	1	همبرگر



$$F(A,B,C,D) = AB + ACD + BCD = AB + CD(A+B)$$



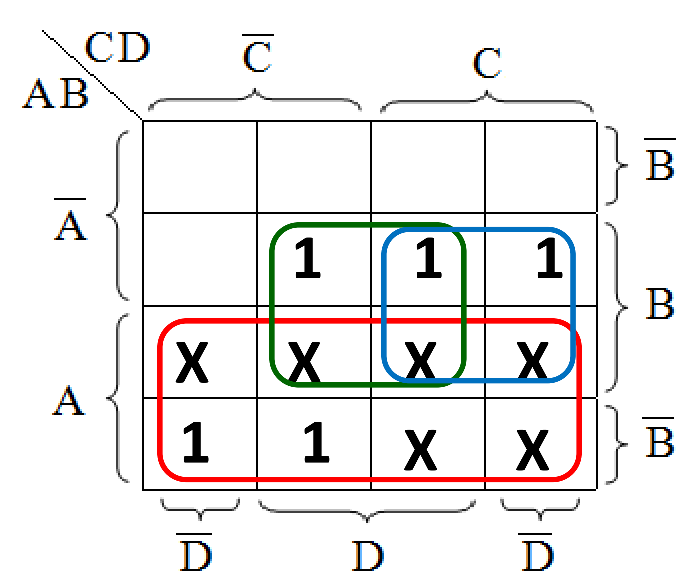
مثال: مدار ترکیبی طراحی کنید که کُد BCD را به کُد افزونی–۳ تبدیل کند.

ورودی ها: ۴ متغیر A-B-C-D مربوط به کُد BCD

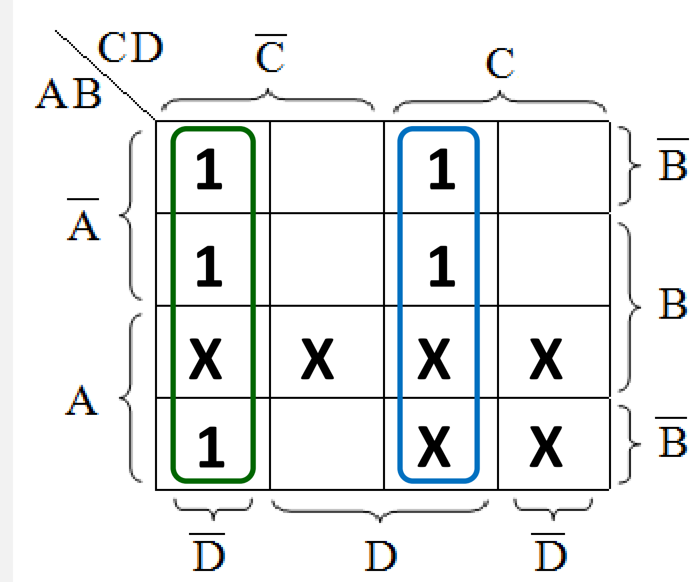
خروجی ها: ۴ متغیر w-x-y-z مربوط به کُد افزونی–۳

	ورودی BCD				خروجی کُد افزونی – ۳			
رقم ده دهی	A	B	C	D	w	x	y	Z
0	0	0	0	0	0	0	1	1
1	0	0	0	1	0	1	0	0
2	0	0	1	0	0	1	0	1
3	0	0	1	1	0	1	1	0
4	0	1	0	0	0	1	1	1
5	0	1	0	1	1	0	0	0
6	0	1	1	0	1	0	0	1
7	0	1	1	1	1	0	1	0
8	1	0	0	0	1	0	1	1
9	1	0	0	1	1	1	0	0
تعریف نشده	1	0	1	0	X	X	X	X
تعریف نشده	1	0	1	1	X	X	X	X
تعریف نشده	1	1	0	0	X	X	X	X
تعریف نشده	1	1	0	1	X	X	X	X
تعریف نشده	1	1	1	0	X	X	X	X
تعریف نشده	1	1	1	1	X	X	X	X

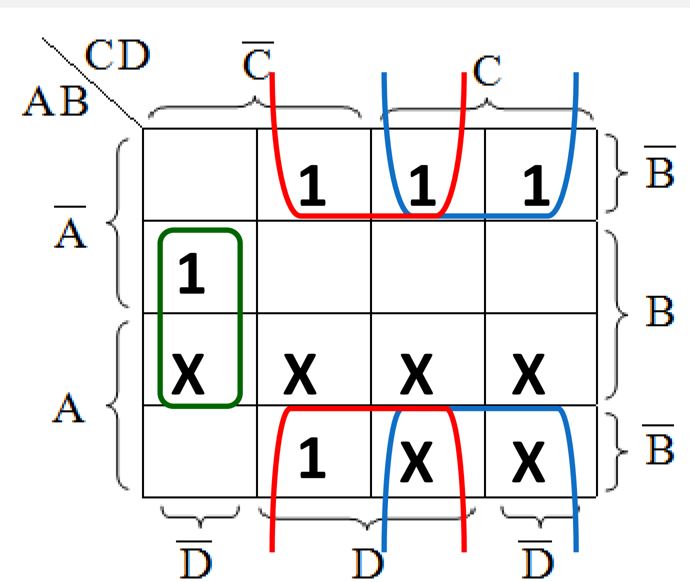
حالات بی اهمیت
Don’t care



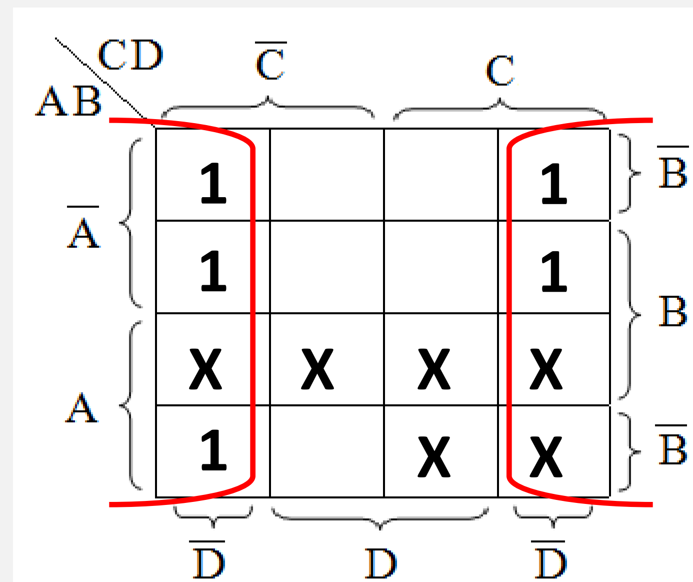
$$w(A,B,C,D) = A + BC + BD$$



$$y(A,B,C,D) = CD + \overline{C}\,\overline{D}$$



$$x(A,B,C,D) = \overline{B}C + \overline{B}D + B\overline{C}\,\overline{D}$$



$$z(A,B,C,D) = \overline{D}$$

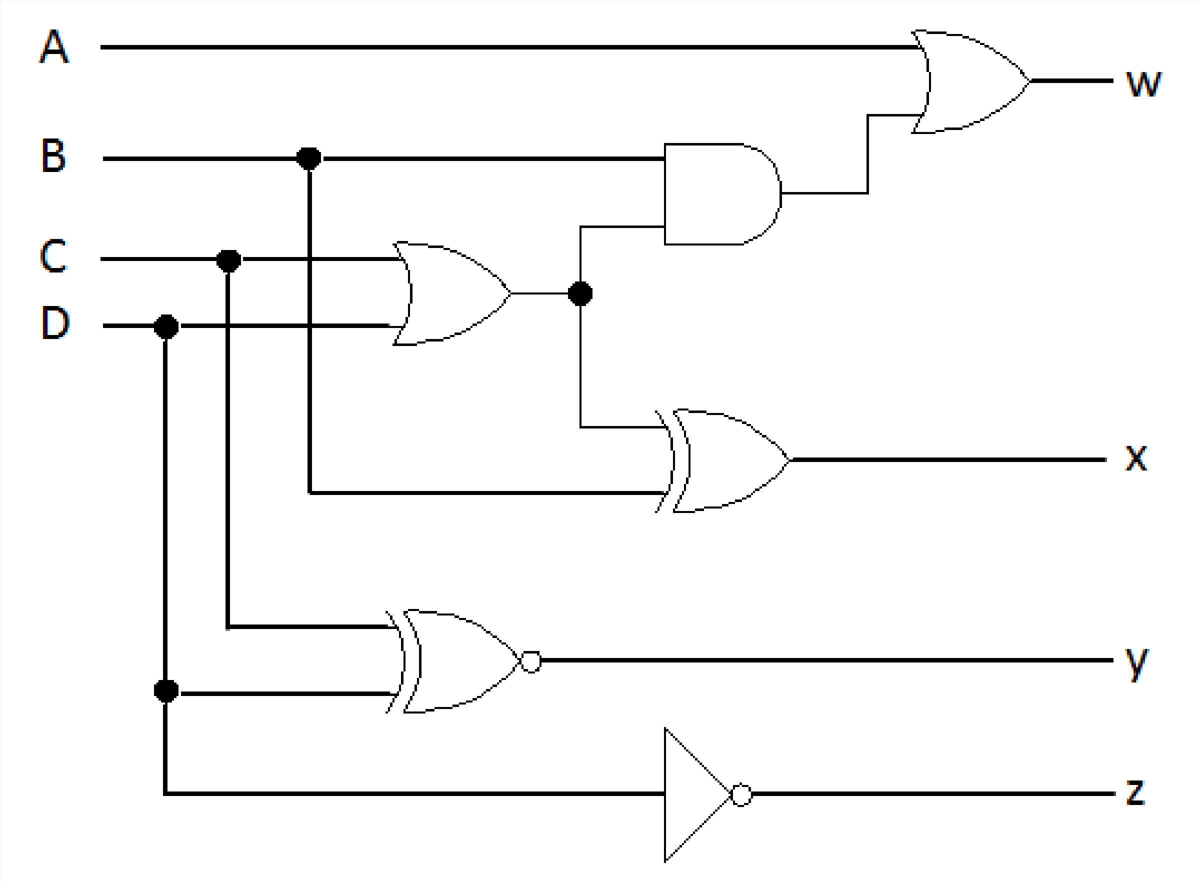
$$w(A,B,C,D) = A + BC + BD = A + B(C+D)$$ ✓

$$x(A,B,C,D) = \overline{B}C + \overline{B}D + B\overline{C}\,\overline{D} = \overline{B}(C+D) + B\overline{C}\,\overline{D}$$

$$= \overline{B}(C+D) + B\overline{(C+D)} = B \oplus (C+D)$$ ✓

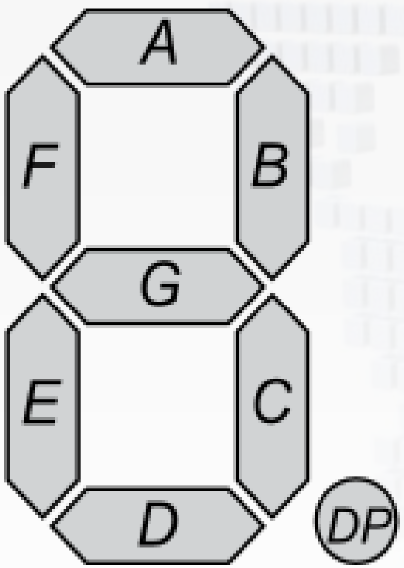
$$y(A,B,C,D) = CD + \overline{C}\,\overline{D} = \overline{(C \oplus D)} = C \otimes D$$ ✓

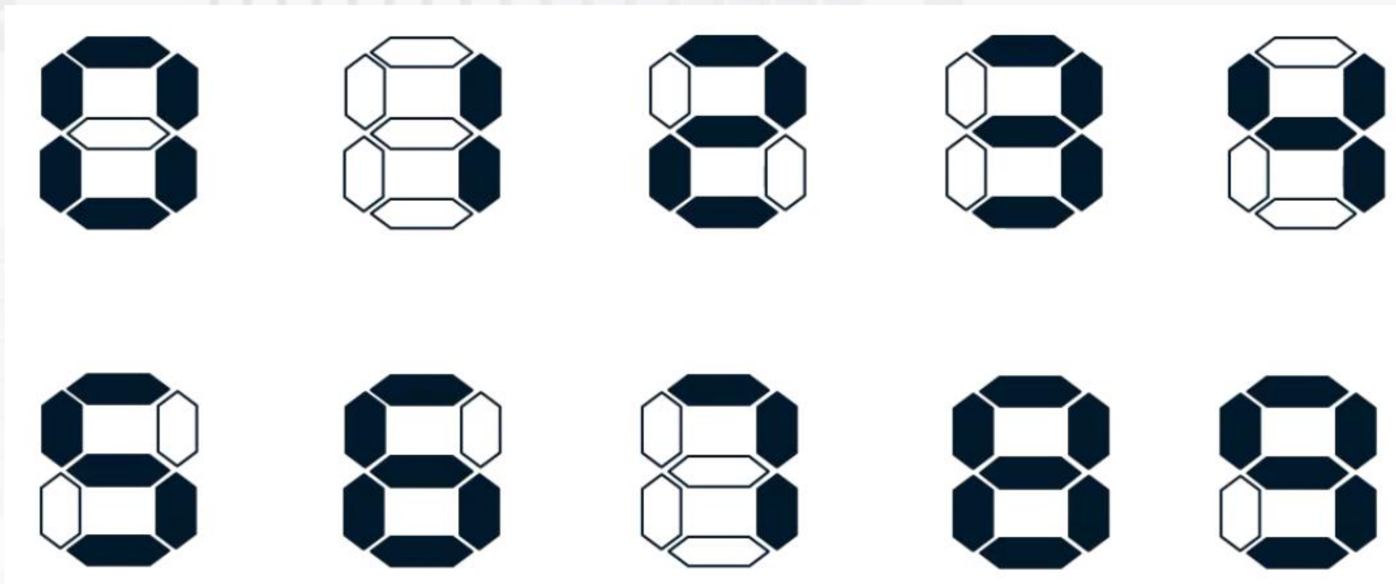
$$z(A,B,C,D) = \overline{D}$$ ✓



نمایشگر هفت قسمتی

- نمایشگر هفت قسمتی (Seven Segment Display) برای نمایش حروف و اعداد لاتین مورد استفاده قرار می گیرد.



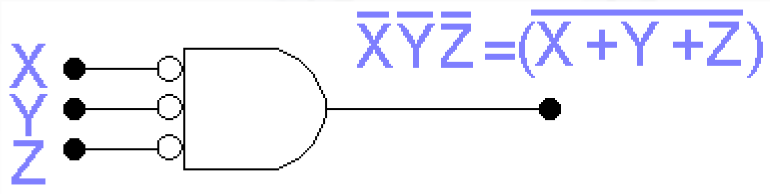


مثال: مدار ترکیبی طراحی کنید که ارقام متناسب با کُد BCD را روی نمایشگر هفت قسمتی نمایش دهد.

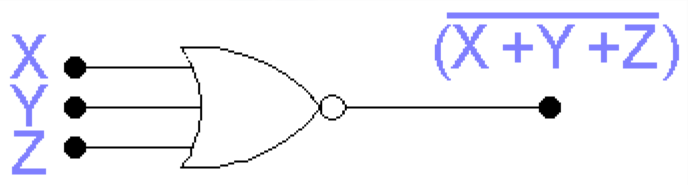
	ورودی BCD				خروجی نمایشگر هفت قسمتی						
رقم ده دهی	W	X	Y	Z	a	b	c	d	e	f	G
0	0	0	0	0	1	1	1	1	1	1	0
1	0	0	0	1	0	1	1	0	0	0	0
2	0	0	1	0	1	1	0	1	1	0	1
3	0	0	1	1	1	1	1	1	0	0	1
4	0	1	0	0	0	1	1	0	0	1	1
5	0	1	0	1	1	0	1	1	0	1	1
6	0	1	1	0	1	0	1	1	1	1	1
7	0	1	1	1	1	1	1	1	1	1	1
8	1	0	0	0	1	1	1	1	1	1	1
9	1	0	0	1	1	1	1	1	0	1	1
تعریف نشده	1	0	1	0	X	X	X	X	X	X	X
تعریف نشده	1	0	1	1	X	X	X	X	X	X	X
تعریف نشده	1	1	0	0	X	X	X	X	X	X	X
تعریف نشده	1	1	0	1	X	X	X	X	X	X	X
تعریف نشده	1	1	1	0	X	X	X	X	X	X	X
تعریف نشده	1	1	1	1	X	X	X	X	X	X	X

پیاده سازی مدارهای دیجیتال با گیت NOR

- ساختن گیت NOR با اجزای الکترونیکی ساده تر بوده و بعنوان گیت پایه در تراشه های دیجیتال کاربرد دارد.
- الگوریتم:
  - تابع را ساده کرده بصورت POS بنویسید.
  - شکل تابع را با گیت های AND – OR – NOT ترسیم کنید.
  - ورودی های AND و خروجی های OR را متمّم کنید تا به نمادهای معادل گیت NOR برسید.



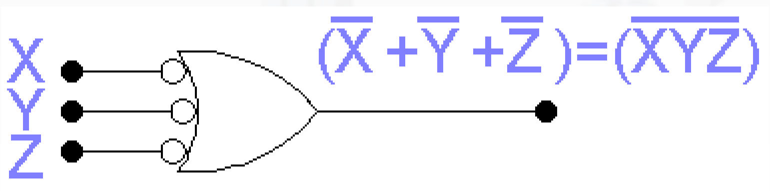
نماد معادل **Invert – AND**



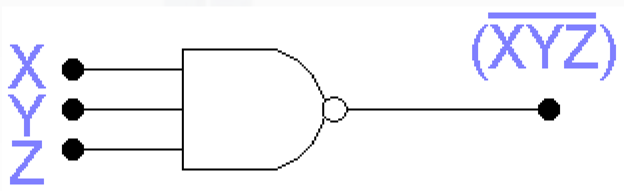
نماد معادل **OR - Invert**

پیاده سازی مدارهای دیجیتال با گیت NAND

- ساختن گیت NAND با اجزای الکترونیکی ساده تر بوده و بعنوان گیت پایه در تراشه های دیجیتال کاربرد دارد.
- الگوریتم:
  - تابع را ساده کرده بصورت SOP بنویسید.
  - شکل تابع را با گیت های AND – OR – NOT ترسیم کنید.
  - ورودی های OR و خروجی های AND را متمّم کنید تا به نمادهای معادل گیت NAND برسید.



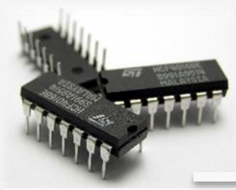
نماد معادل Invert – OR



نماد معادل AND - Invert

یادآوری از فصل دوم: معادل سازی گیت های استاندارد

A	0	0	1	1
B	0	1	0	1
$\overline{A}$	1	1	0	0
$\overline{B}$	1	0	1	0
OR (A , B)	0	1	1	1
NAND ($\overline{A}$, $\overline{B}$)	0	1	1	1
AND (A , B)	0	0	0	1
NOR ($\overline{A}$, $\overline{B}$)	0	0	0	1
NOR (A , B)	1	0	0	0
AND ($\overline{A}$, $\overline{B}$)	1	0	0	0
NAND (A , B)	1	1	1	0
OR ($\overline{A}$, $\overline{B}$)	1	1	1	0



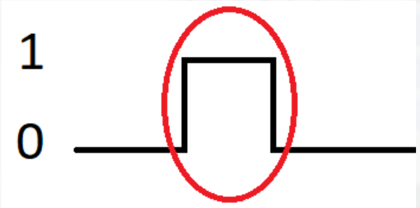
تأخیر انتشار و مخاطره

- تأخیر انتشار (Propagation Delay) مدت زمانی است که طول می کشد تا تغییرات ورودی یک گیت به خروجی آن برسد.

- تأخیر انتشار در برخی مدارها موجب پدیده ناخواسته مخاطره (Hazard) می شود.
  - **مخاطره منطقی:** فقط یک ورودی عوض می شود.
    - استاتیک
      - سطح صفر
      - سطح یک
    - دینامیک
  - **مخاطره تابعی:** بیش از یک ورودی همزمان عوض می شود.

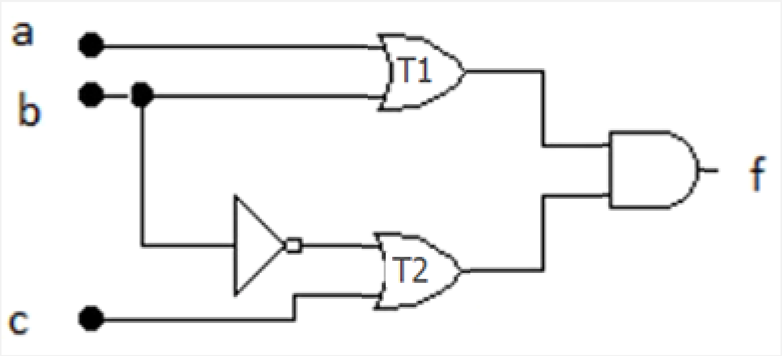
مخاطره ایستا سطح صفر

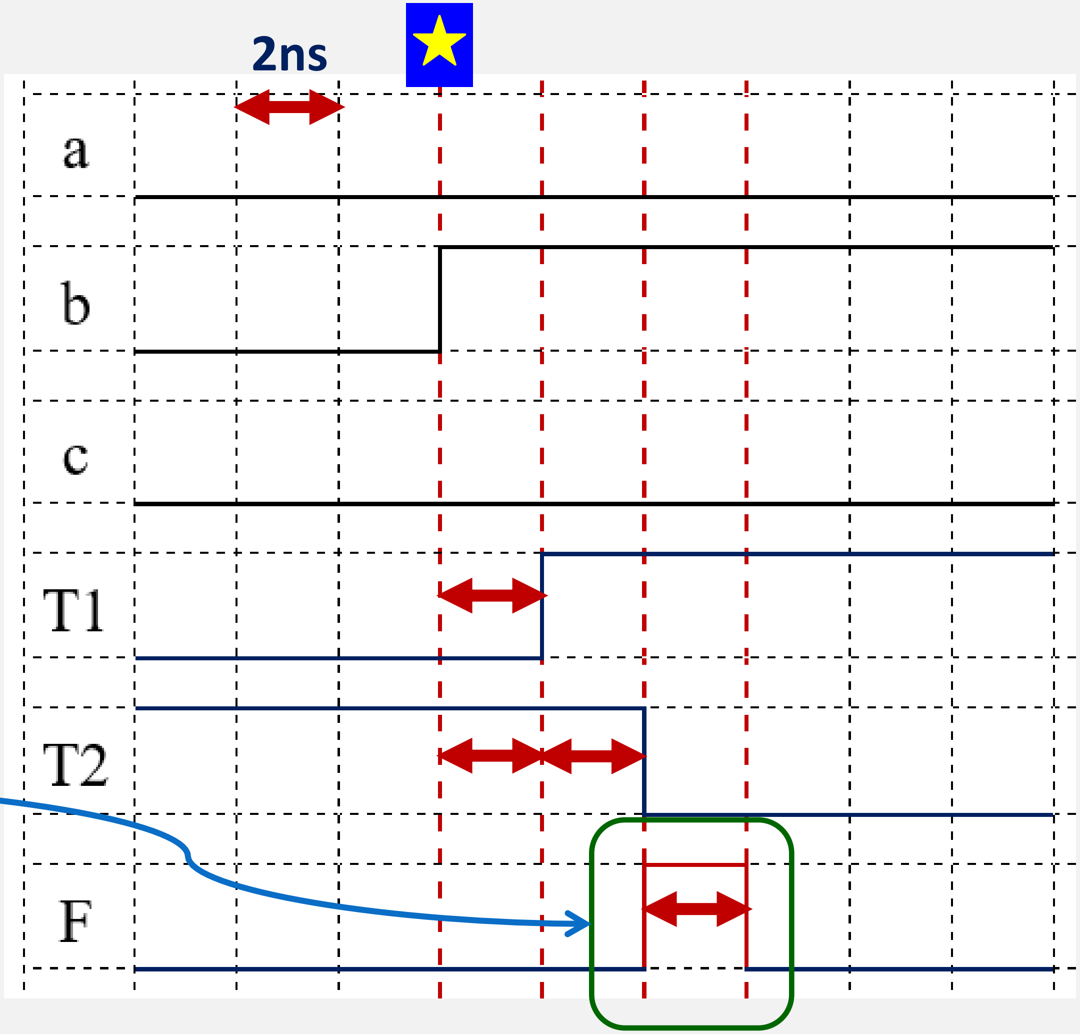
- حالتی که خروجی صفر بوده و باید صفر باقی بماند اما برای مدت کوتاهی ناخواسته یک و مجدداً صفر می شود.



- این مخاطره معمولاً در مدارهای با شکل تابع POS بوجود می آید.
- رفع مخاطره سطح صفر:
  - تابع خروجی مدار را بنویسید.
  - جدول کارنو را تشکیل دهید.
  - اگر در جدول کارنو دو ماکسترم مجاور بوده ولی در یک دسته قرار نباشند، مخاطره وجود دارد. باید دسته ایی به تابع اضافه شود که شامل دو ماکسترم مجاور باشد.

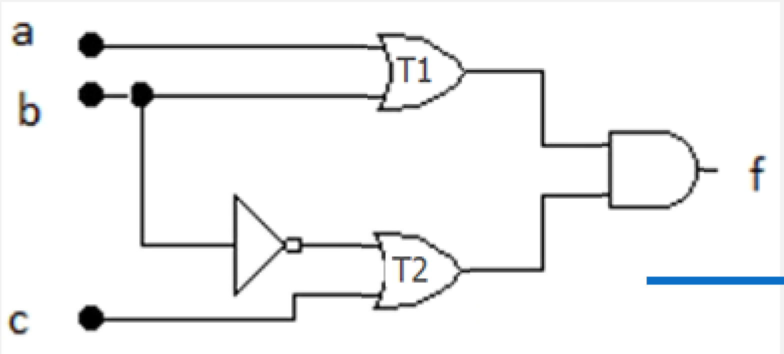
مثال: فرض کنید تأخیر انتشار هر گیت 2ns است. اگر در لحظه ★ ورودی b=1 شود، نمودار زمانی مدار زیر را ترسیم کنید.





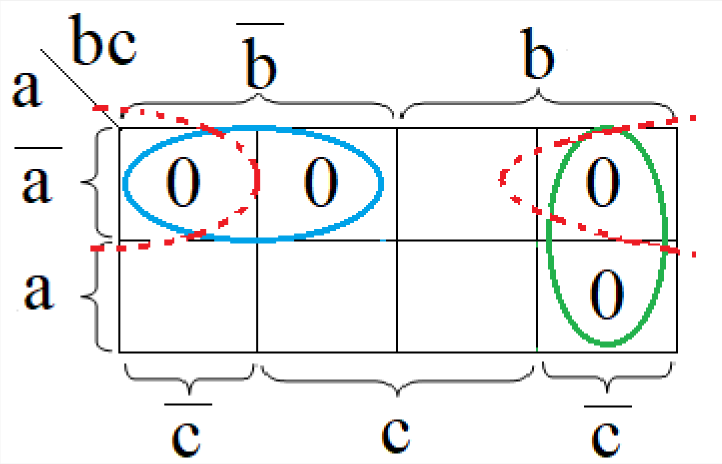
مخاطره ایستا سطح صفر رخ داده است.

ادامه مثال قبل: رفع مخاطره ایستا سطح صفر



ورودی					خروجی
a	b	c	T1	T2	F
0	0	0	0	1	0
0	0	1	0	1	0
0	1	0	1	0	0
0	1	1	1	1	1
1	0	0	1	1	1
1	0	1	1	1	1
1	1	0	1	0	0
1	1	1	1	1	1

$$F(a,,b,c) = (a+b).(\bar{b}+c)$$

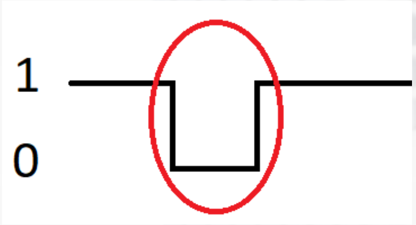


$$F(a,,b,c) = (a+b).(\bar{b}+c).(a+c)$$

تابع بدون مخاطره

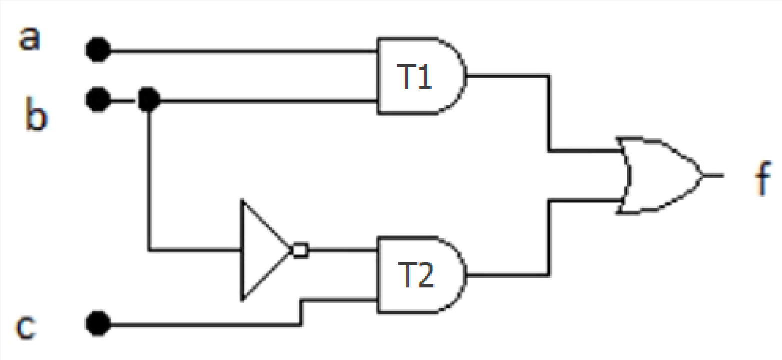
مخاطره ایستا سطح یک

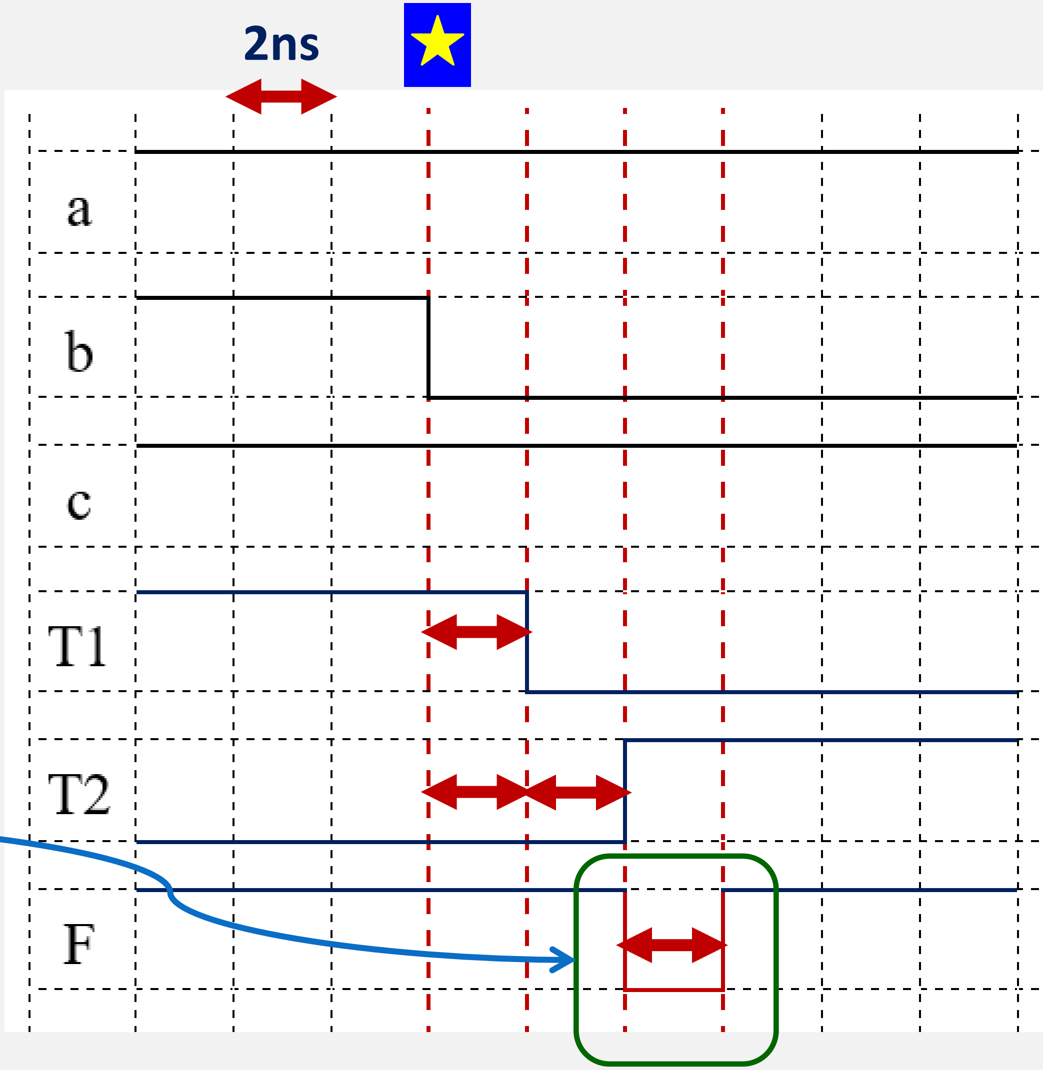
- حالتی که خروجی یک بوده و باید یک باقی بماند اما برای مدت کوتاهی ناخواسته صفر و مجدداً یک می شود.



- این مخاطره معمولاً در مدارهای با شکل تابع SOP بوجود می آید.
- رفع مخاطره سطح یک:
  - تابع خروجی مدار را بنویسید.
  - جدول کارنو را تشکیل دهید.
  - اگر در جدول کارنو دو مینترم مجاور بوده ولی در یک دسته قرار نباشند، مخاطره وجود دارد. باید دسته ایی به تابع اضافه شود که شامل دو مینترم مجاور باشد.

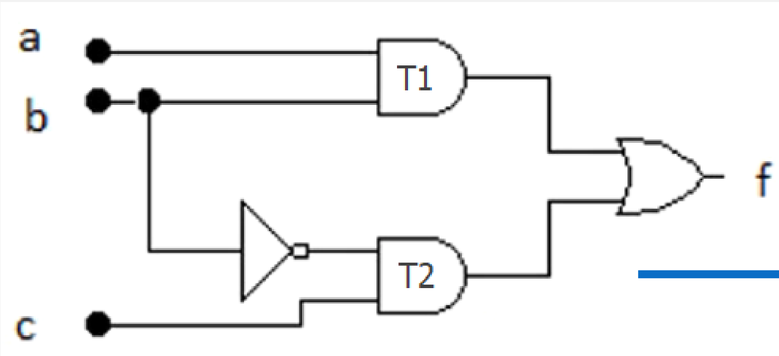
مثال: فرض کنید تأخیر انتشار هر گیت 2ns است. اگر در لحظه ★ ورودی b=0 شود، نمودار زمانی مدار زیر را ترسیم کنید.





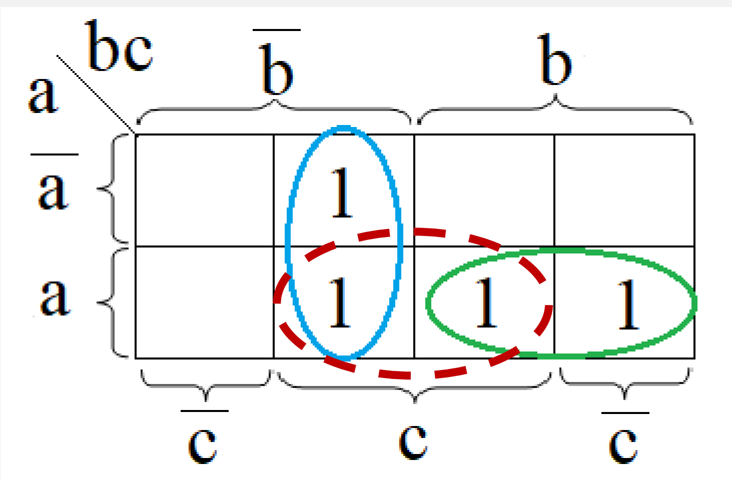
مخاطره ایستا سطح یک رخ داده است.

ادامه مثال قبل: رفع مخاطره ایستا سطح یک



ورودی					خروجی
a	**b**	**c**	**T1**	**T2**	**F**
0	0	0	0	0	0
0	0	1	0	1	1
0	1	0	0	0	0
0	1	1	0	0	0
1	0	0	0	0	0
1	0	1	0	1	1
1	1	0	1	0	1
1	1	1	1	0	1

$$F(a,,b,c) = \bar{b}c + ab$$



$$F(a,,b,c) = \bar{b}c + ab + ac$$

تابع بدون مخاطره

مدارهای منطقی ترکیبی پُر کاربرد

- جمع کننده (Adder)
- تفریق کننده (Sub tractor)
- مقایسه گر (Comparator)
- دیکودر (Decoder)
- اِنکودر (Encoder)
- مولتی پِلِکسر (Multiplexer)
- دی مولتی پِلِکسر (Demultiplexer)

نیم جمع کننده

- نیم جمع کننده (Half Adder) یا H.A مدار منطقی ترکیبی است که جمع دو بیت را انجام می دهد.

- با توجه تعریف بالا و آنچه در فصل اول خواندیم، واضح است که مدار نیاز به دو ورودی دودویی و دو خروجی دودویی دارد.

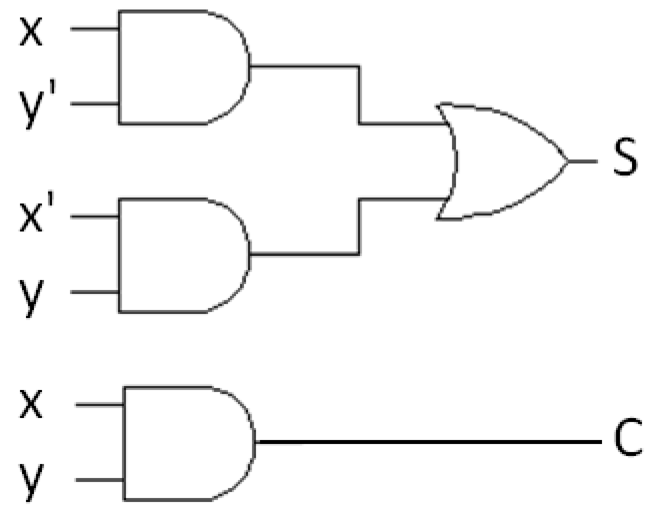
ورودی		خروجی	
دو عدد یک بیتی		حاصل جمع	رقم نقلی
x	y	s	c
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

- توابع جبری خروجی عبارتند از:

$$S(x,y) = \bar{x}y + x\bar{y} = x \oplus y$$

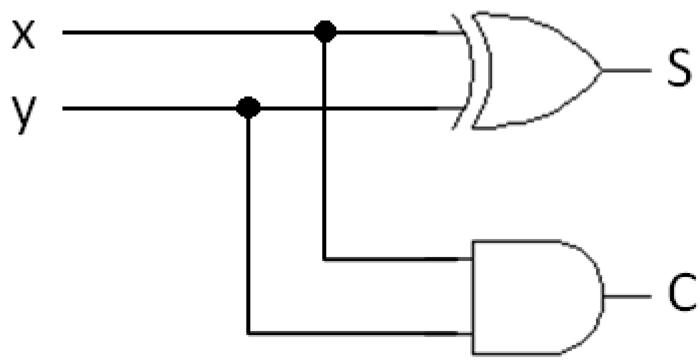
$$C(x,y) = xy$$

شکل مدارهای معادل برای نیم جمع کننده



الف : بدون بهینه سازی

$$S(x,y)=\bar{x}y+x\bar{y}$$
$$C(x,y)=xy$$



ب : پس از بهینه سازی

$$S(x,y)=x\oplus y$$
$$C(x,y)=xy$$

تمام جمع کننده

- جمع کننده کامل یا تمام جمع کننده (Full Adder) یا F.A مدار منطقی ترکیبی است که سه بیت را با هم جمع کند. (دو عدد یک بیتی به علاوه بیت نقلی).

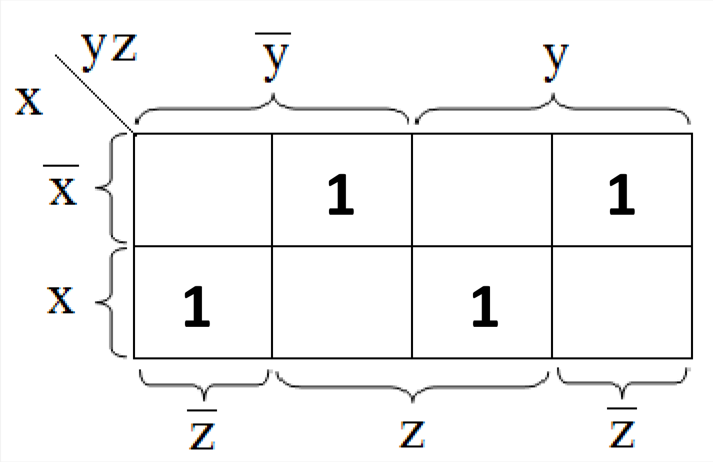
ورودی			خروجی	
سه عدد یک بیتی			حاصل جمع	رقم نقلی
x	y	z	s	c
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

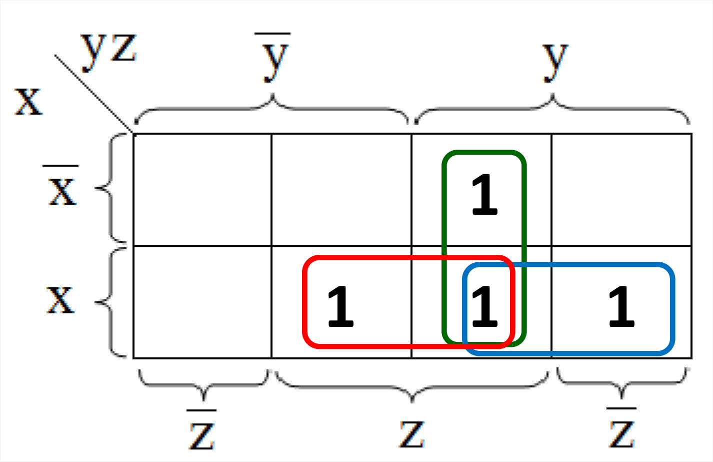
- با توجه به تعریف، مدار دارای سه ورودی و دو خروجی است.

- توابع جبری خروجی عبارتند از:

$$S(x,y,z)=\sum m(1,2,4,7)$$

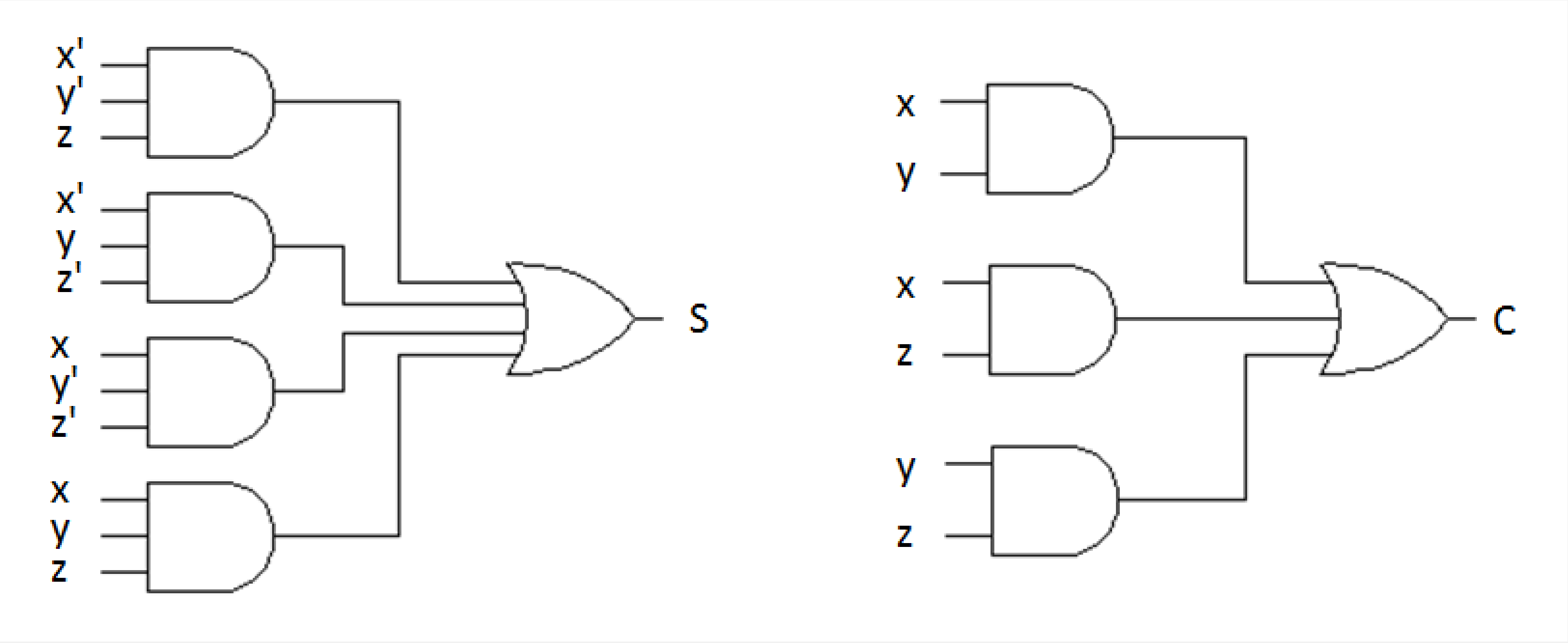
$$C(x,y,z)=\sum m(3,5,6,7)$$





$$S(x,y,z) = \bar{x}\bar{y}z + \bar{x}y\bar{z} + x\bar{y}\bar{z} + xyz$$
$$= x \oplus y \oplus z$$

$$C(x,y,z) = xy + xz + yz$$



مثال : به کمک دو نیم جمع کننده، یک تمام جمع کننده طراحی کنید.

$$S(x,y,z)=\sum m(1,2,4,7)$$

$$S(x,y,z)=\bar{x}\bar{y}z+\bar{x}y\bar{z}+x\bar{y}\bar{z}+xyz$$

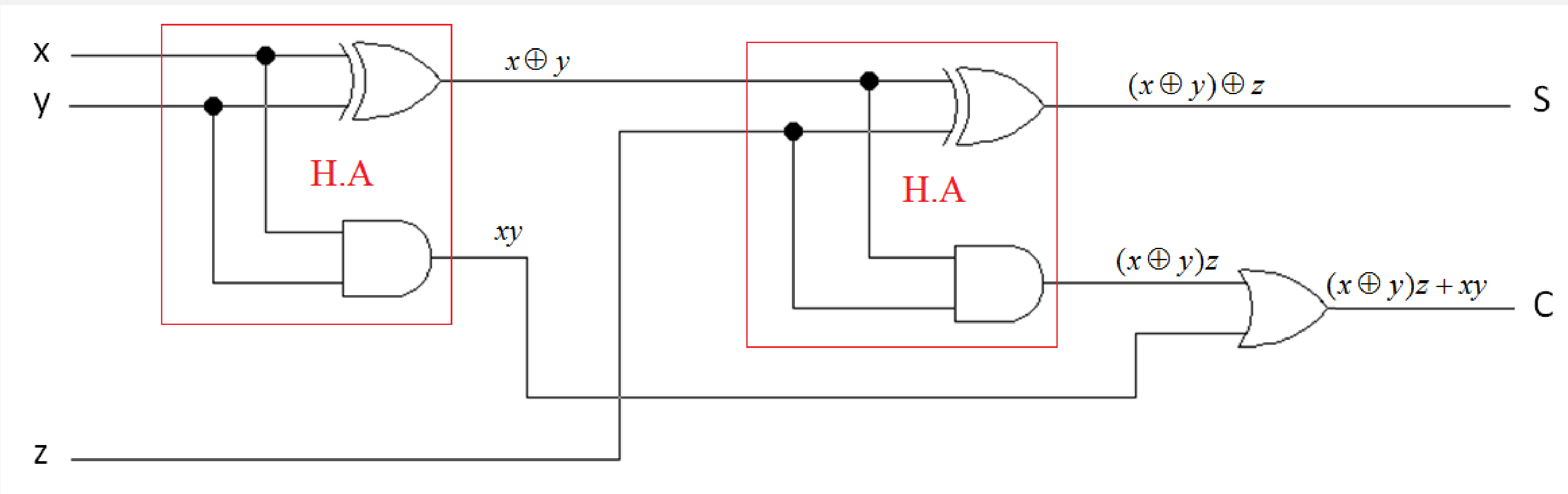
$$=(x\oplus y)\oplus z$$

$$C(x,y,z)=\sum m(3,5,6,7)$$

$$C(x,y,z)=\bar{x}yz+x\bar{y}z+xy\bar{z}+xyz$$

$$=z(\bar{x}y+x\bar{y})+xy$$

$$=z(x\oplus y)+xy$$



★ تمرین : نیم تفریق کننده و تمام تفریق کننده را طراحی کنید. سپس به کمک دو نیم تفریق کننده، یک تمام تفریق کننده بسازید.

جمع کننده دودویی

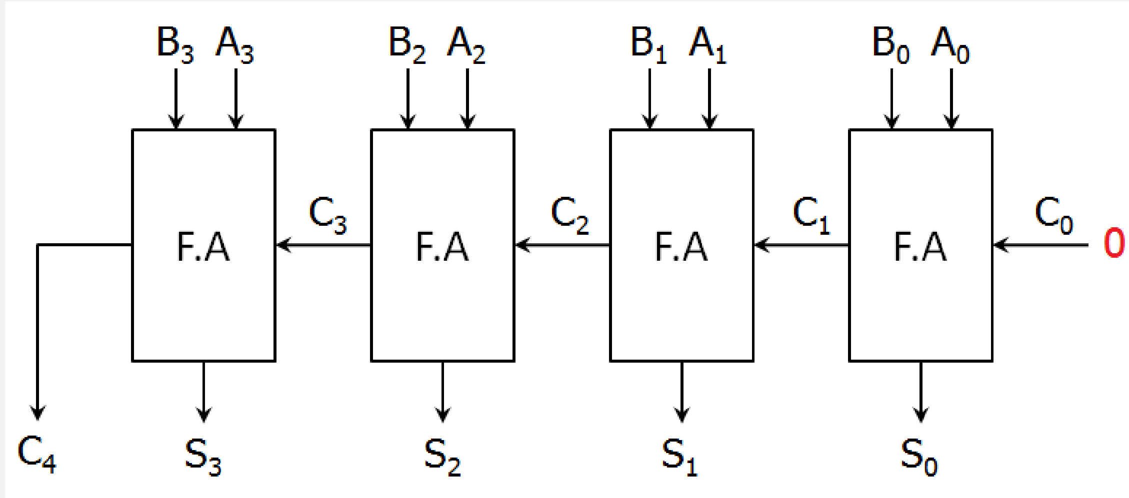
- جمع کننده دودویی یک مدار منطقی دیجیتال است که جمع حسابی دو عدد دودویی را تولید می کند و می توان آنرا با متصل کردن جمع کننده ها بصورت متوالی، ساخت.

- انواع اتصال متوالی عبارتند از:
  - با اتصال یک نیم جمع کننده و n-1 جمع کننده کامل
  - با اتصال n جمع کننده کامل

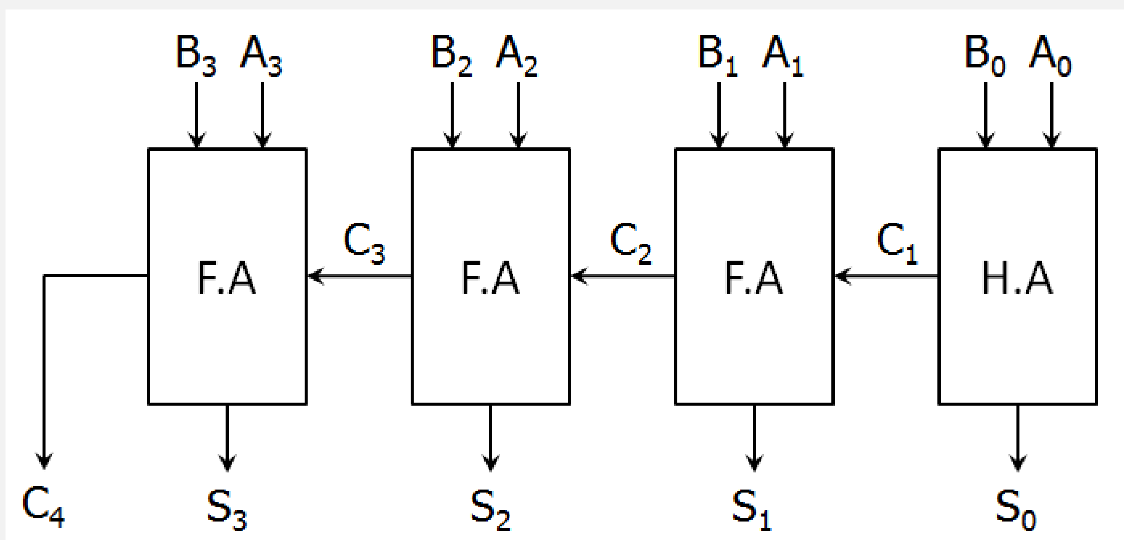
$$
\begin{array}{cccccc}
 & C_4 & C_3 & C_2 & C_1 & C_0 \\
 & & A_3 & A_2 & A_1 & A_0 \\
+ & & B_3 & B_2 & B_1 & B_0 \\
\hline
 & & S_3 & S_2 & S_1 & S_0
\end{array}
$$

مثال: در شکل روبرو رابطه جمع دو عدد چهار بیت مشاهده می شود.

★ تمرین : جمع کننده با پیش بینی نَقلی چیست ؟
چرا این طراحی انجام می گیرد ؟



جمع کننده دودویی چهار بیتی با اتصال ۴ عدد جمع کننده کامل



جمع کننده دودویی چهار بیتی با اتصال ۱ عدد نیم جمع کننده و ۳ عدد جمع کننده کامل

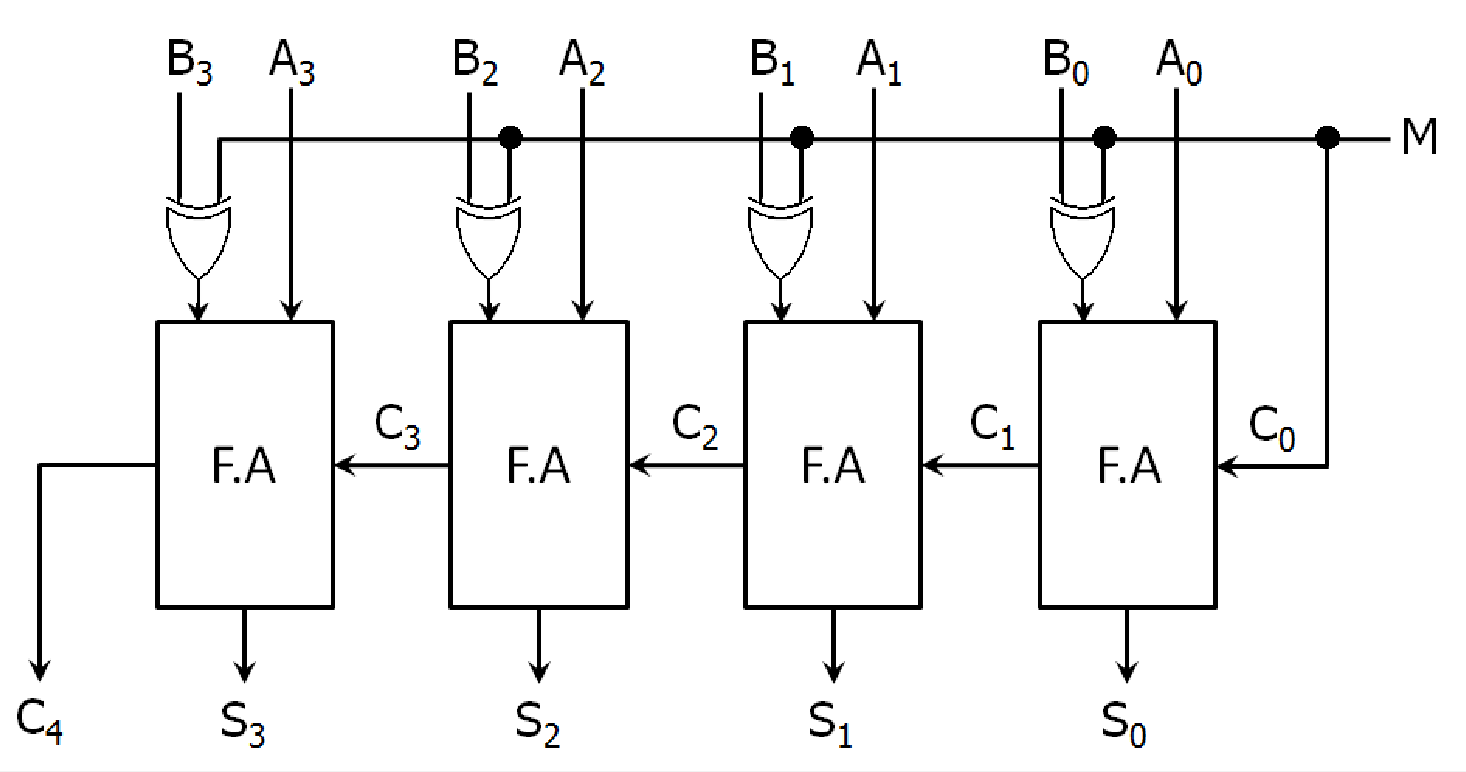
جمع کننده و تفریق کننده دودویی

- تفریق اعداد دودویی بی علامت با استفاده از متمّم مبنا
- A-B با محاسبه متمم 2 عدد B و جمع آن با A بدست می آید.
- متمم 2 با محاسبه متمم 1 و جمع آن با عدد 1 بدست می آید.

– اگر $a \geq b$، عمل جمع یک رقم نقلی انتهایی تولید می کند که باید چشم پوشی شود.
– اگر $a < b$، عمل جمع هیچ گونه رقم نقلی انتهایی تولید نمی کند، برای یافتن جواب مکمل مبنا حاصل جمع را بدست می آوریم و سپس یک علامت منفی در جلوی آن می گذاریم.

جدول صحت XOR		
M	**B**	**F**
0	0	0
0	1	1
1	0	1
1	1	0

M	B XOR M	A	C_0 = M	S
0	B	A	0	A+B+0 = A+B
1	B′	A	1	A+B′+1 = A-B



نمودار یک جمع کننده – تفریق کننده چهار بیتی

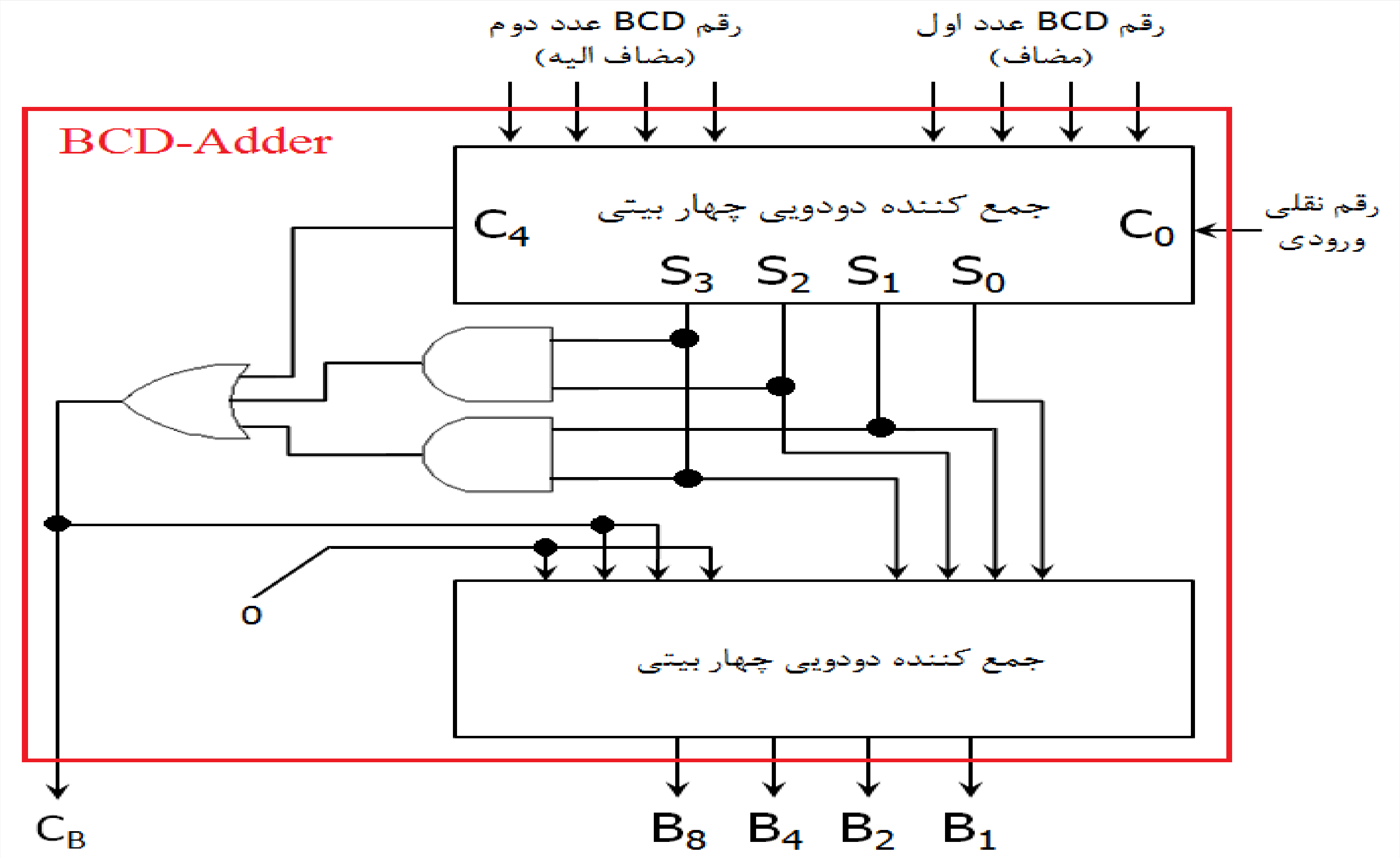
جمع کننده BCD

- کامپیوتر ها یا ماشین های حسابی که اعمال محاسباتی را مستقیماً در سیستم اعداد دهدهی انجام می دهند، اعداد دهدهی را به فرم کد دودویی ارائه می کنند.
- یک کُد دودویی پرکاربرد برای اعداد دهدهی، کُد BCD است.
- جمع کننده دهدهی را برای کد BCD بررسی می شود:
  - چهار بیت برای کُد کردن هر رقم مبنای ده به کُد BCD لازم است.
  - مدار باید دارای ورودی و خروجی نَقلی باشد.
  - حاصل جمع برای هر رقم به چهار بیت احتیاج دارد.

خروجی جمع کننده دودویی					خروجی جمع کننده BCD					
C_4	S_3	S_2	S_1	S_0	C_B	B_8	B_4	B_2	B_1	دهدهی
0	0	0	0	0	0	0	0	0	0	0
0	0	0	0	1	0	0	0	0	1	1
0	0	0	1	0	0	0	0	1	0	2
0	0	0	1	1	0	0	0	1	1	3
0	0	1	0	0	0	0	1	0	0	4
0	0	1	0	1	0	0	1	0	1	5
0	0	1	1	0	0	0	1	1	0	6
0	0	1	1	1	0	0	1	1	1	7
0	1	0	0	0	0	1	0	0	0	8
0	1	0	0	1	0	1	0	0	1	9
0	1	0	1	0	1	0	0	0	0	10
0	1	0	1	1	1	0	0	0	1	11
0	1	1	0	0	1	0	0	1	0	12
0	1	1	0	1	1	0	0	1	1	13
0	1	1	1	0	1	0	1	0	0	14
0	1	1	1	1	1	0	1	0	1	15
1	0	0	0	0	1	0	1	1	0	16
1	0	0	0	1	1	0	1	1	1	17
1	0	0	1	0	1	1	0	0	0	18
1	0	0	1	1	1	1	0	0	1	19

شرط اصلاح جمع BCD و داشتن نقلی خروجی بصورت زیر می باشد:

$$C_B = C_4 + S_3S_2 + S_3S_1$$

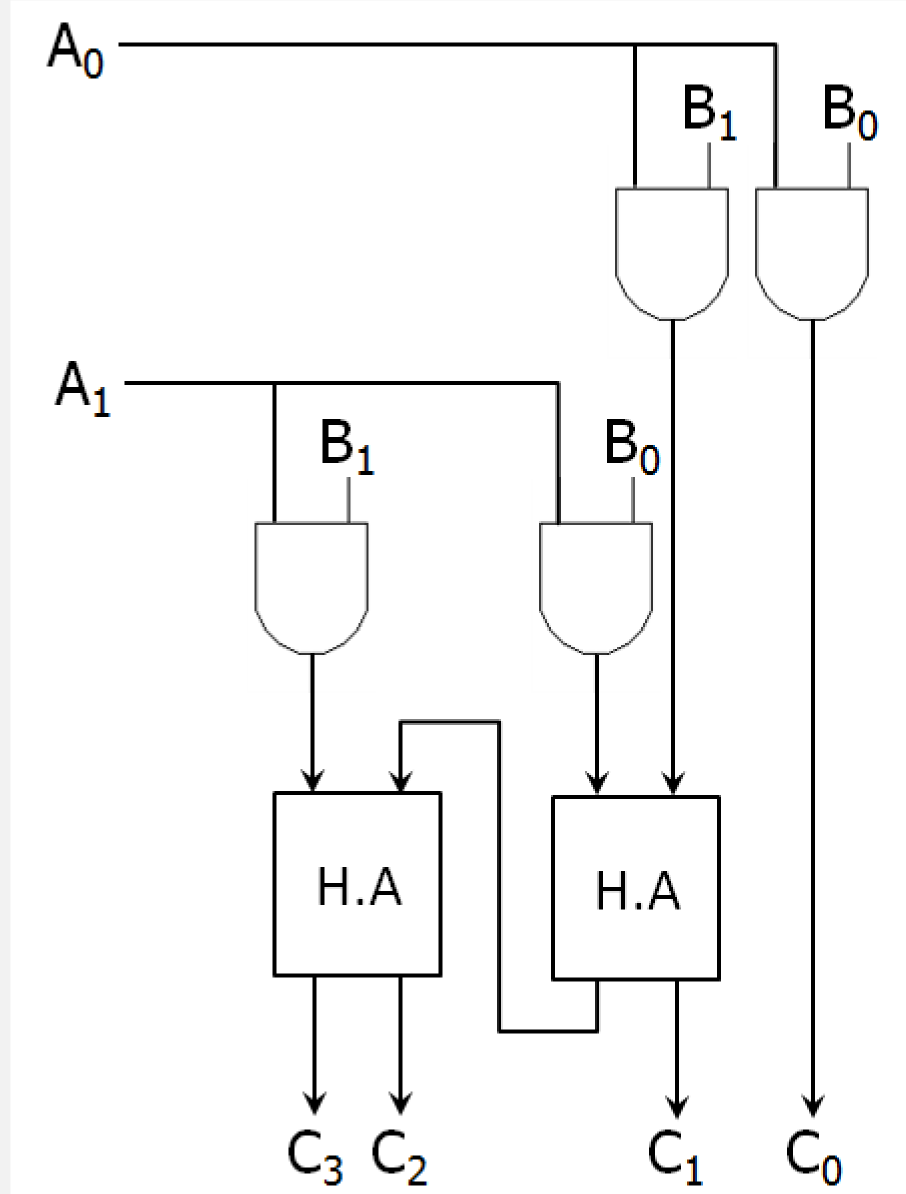


نمودار یک جمع کننده BCD یک رقمی

ضرب کننده دودویی

- ضرب اعداد دودویی همچون ضرب اعداد دهدهی انجام می شود.
  - هر بیت عدد دوم (مضروب)، در کم ارزش ترین بیت عدد اول (مضروب فیه) ضرب می شود. این حاصلضرب، حاصلضرب جزیی خوانده می شود.
  - حاصلضرب های جزیی هر بار یک مکان به چپ انتقال می یابند و حاصلضرب نهایی از جمع حاصلضرب های جزیی بدست می آید.
- برای ضرب عدد اول (مضروب فیه) J بیتی و عدد دوم (مضروب) K بیتی به (J×K) گیت AND و (J-1) عدد جمع کننده K بیتی نیاز است تا حاصلضرب J+K بیتی تولید شود.

	$\times$	A_1	A_0
		B_1	B_0
		$A_1 B_0$	$A_0 B_0$
	$A_1 B_1$	$A_0 B_1$	
C_3	C_2	C_1	C_0



ضرب کننده ۲ بیت در ۲ بیت

★ تمرین : ضرب کننده ۴ بیت در ۳ بیت را با ترسیم بلوک دیاگرام مربوطه، بصورت کامل تشریح کنید.

مقایسه گر مقدار

- یک مقایسه گر مقدار، مداری منطقی ترکیبی است که دو عدد A و B را مقایسه می کند و نتیجه این مقایسه را با سه متغیر دودویی که بیانگر A>B یا A=B یا A<B می باشد، مشخص می کند.

- طبق تعریف، مقایسه گر یک بیتی نیاز به دو ورودی و سه خروجی دارد.

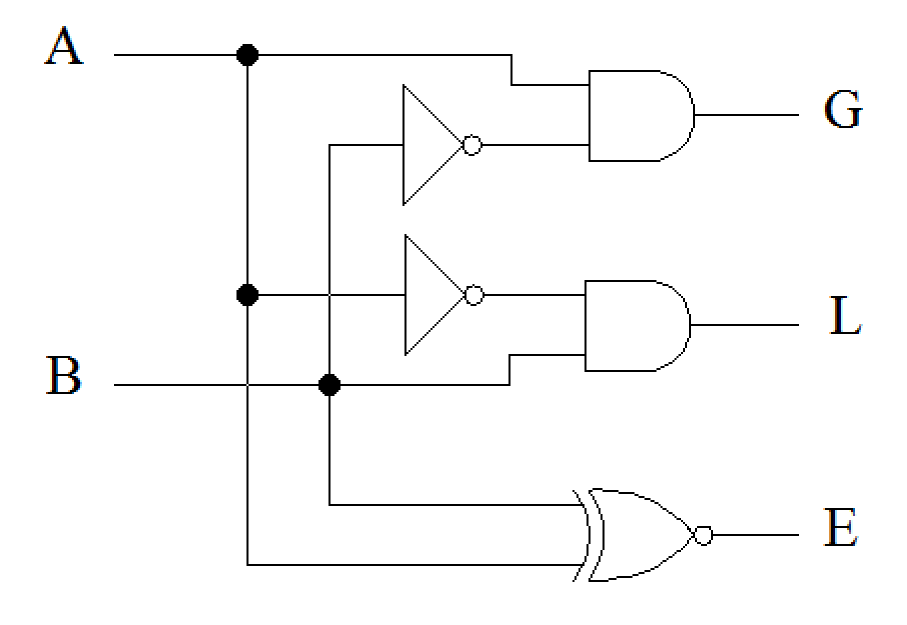
ورودی		خروجی		
دو عدد یک بیتی		**A>B**	**A=B**	**A<B**
A	B	G	E	L
0	0	0	1	0
0	1	0	0	1
1	0	1	0	0
1	1	0	1	0

- توابع جبری خروجی عبارتند از:

$$G(A,B) = A\overline{B}$$

$$E(A,B) = \overline{A}\,\overline{B} + AB = A \otimes B$$

$$L(A,B) = \overline{A}B$$



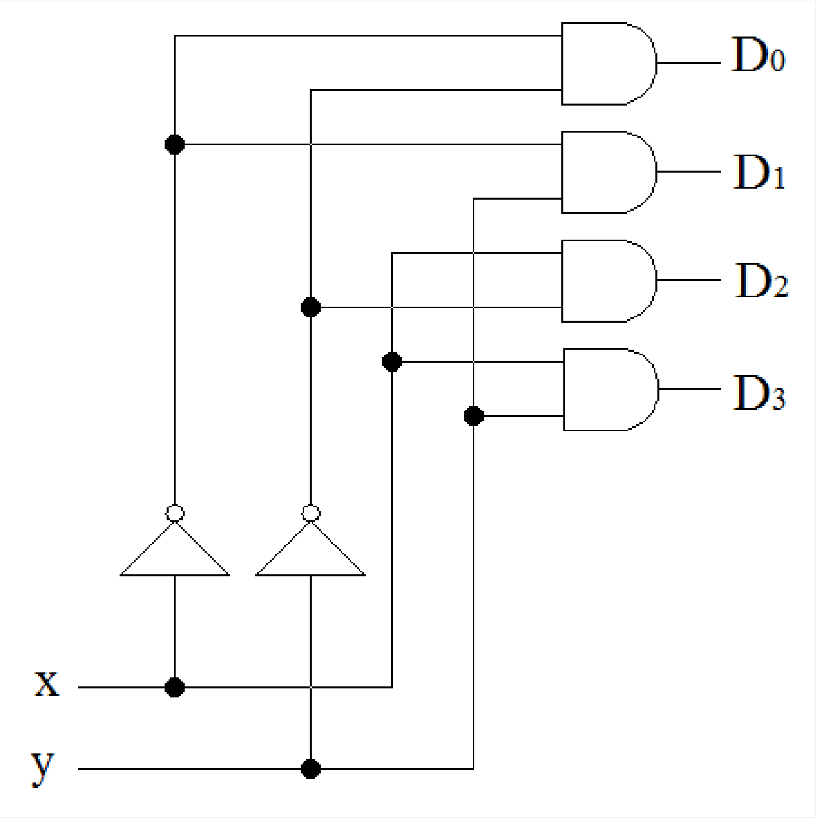
مقایسه گر یک بیتی

★ تمرین : مقایسه گر چهار بیتی را با ترسیم مدار مربوطه، بصورت کامل تشریح کنید.

دیکُدر (رمزگشا)

- کمیت های گسسته اطلاعاتی در سیستم های دیجیتال با کُدهای دودویی نشان داده می شوند.
- یک کد دودویی n بیتی قادر است تا 2^n عنصر گسسته کُد شده را نشان دهد.
- یک دیکُدر (Decoder) یا DEC مداری منطقی ترکیبی است که اطلاعات دودویی را از n خط ورودی به حداکثر 2^n خط خروجی منحصر به فرد تبدیل می کند.
- اگر کد n بیتی دارای ترکیبات بی استفاده باشد، دیکُدر ممکن است خروجی های (m) کمتر از 2^n داشته باشد ($m<2^n$).

جدول درستی یک دیکدر 2 به 4					
ورودی		خروجی			
X	Y	D_0	D_1	D_2	D_3
0	0	1	0	0	0
0	1	0	1	0	0
1	0	0	0	1	0
1	1	0	0	0	1

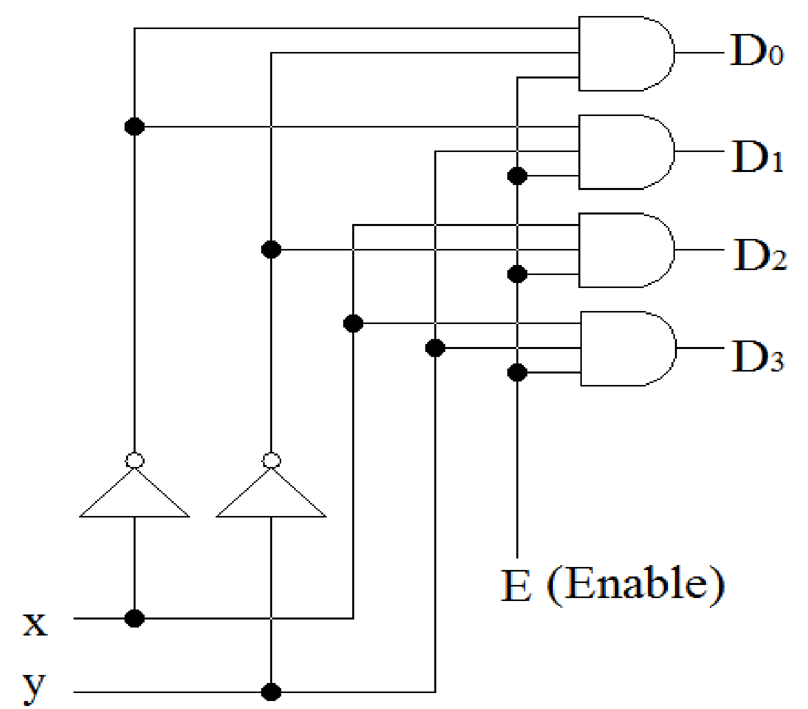


جدول درستی و مدار ترکیبی دیکدر 2 به 4

دیکدر و خط فعال ساز

- مدارات منطقی معمولاً دارای ورودی تواناساز یا فعال ساز (Enable) برای کنترل کار مدار می باشند.

جدول درستی دیکدر 2 به 4 با ورودی فعال ساز						
ورودی			خروجی			
E	X	Y	D_0	D_1	D_2	D_3
0	x	x	0	0	0	0
1	0	0	1	0	0	0
1	0	1	0	1	0	0
1	1	0	0	0	1	0
1	1	1	0	0	0	1



جدول درستی و مدار ترکیبی دیکدر 2 به 4 با ورودی فعال ساز

دیکدر و خط فعال ساز

- به طور کلی ورودی های فعال ساز ابزارهای مناسبی برای اتصالات درونی دو یا چند قطعه استاندارد برای گسترش آنها با عملکردی مشابه و ورودی ها و خروجی های بیشتر است.

نکته: برای تهیه مدار دیکدرهای بزرگتر می توان دیکدرهای کوچکتر با ورودی های فعال ساز را به هم متصل کرد.

پیاده سازی مدارات منطقی ترکیبی با دیکدر

- چون دیکدرها مینترم های ورودی های خود را در خروجی تشکیل می دهند، برای طراحی یک مدار منطقی ترکیبی با کمک دیکودر بصورت زیر عمل می شود:

  - بر اساس صورت مسئله، تابع جبری مدار را بدست آورده و تعداد متغیرهای مسئله را شناسایی کنید.

  - یک دیکدر که تعداد ورودی های آن با تعداد متغیرهای ورودی مدار برابر است، انتخاب کنید.

  - متغیرهای ورودی مدار را به ورودی های دیکدر متصل نموده و خروجی های دیکدر که متناسب با مینترم های تابع جبری هستند با گیت OR به هم متصل کنید.

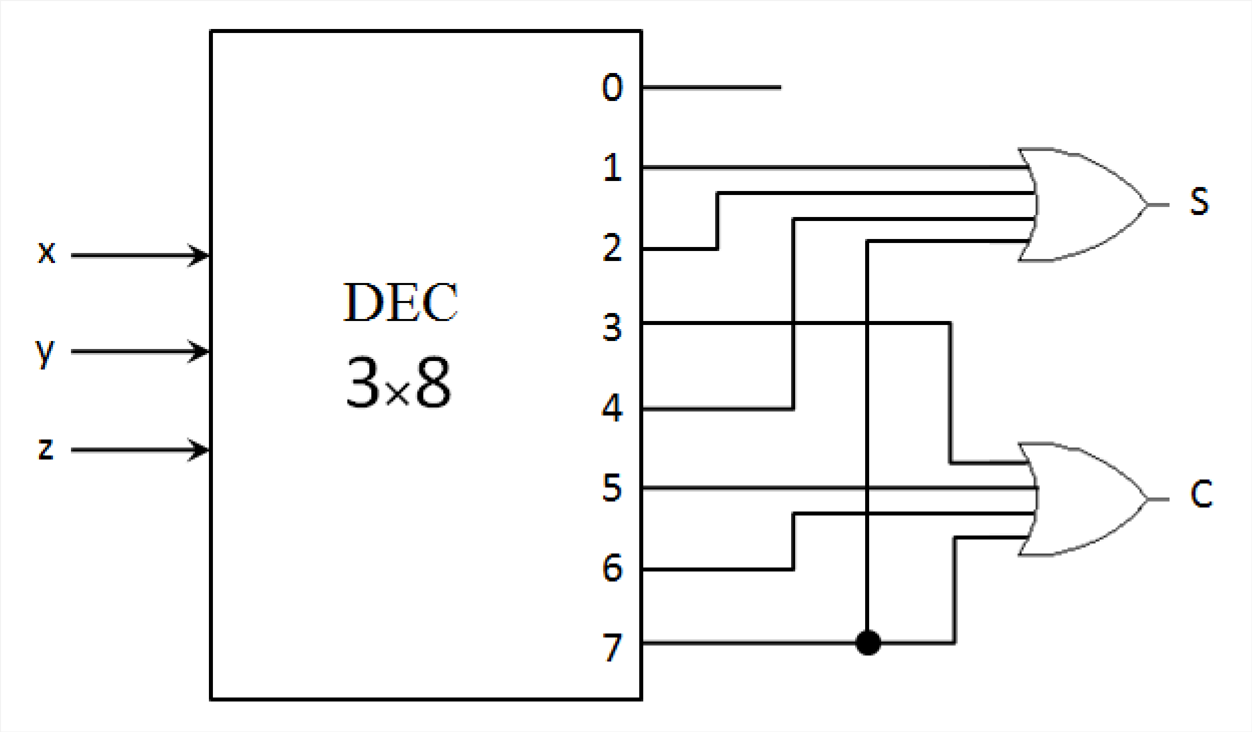
به کمک دیکدر مناسب، یک تمام جمع کننده طراحی کنید.

توابع جبری مربوط به یک تمام جمع کننده، بر اساس آنچه در ابتدای فصل دیدیم بصورت زیر می باشد:

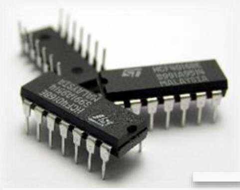
$$S(x,y,z)=\sum m(1,2,4,7)$$

$$C(x,y,z)=\sum m(3,5,6,7)$$

لذا به یک دیکدر با ۳ ورودی احتیاج داریم.



نکته: پیاده سازی توابع با ضرب ماکسترم، از AND متمّم خروجی دیکودر حاصل می شود.



اِنکُدر (رمز گذار)

- یک اِنکُدر (Encoder) یا ENC مداری است که عمل عکس یک دیکدَر را انجام می دهد.

- یک انکدر دارای 2^n (یا کمتر) خط ورودی و n خط خروجی است. خطوط خروجی کد دودویی مربوط به مقدار دودویی ورودی را تولید می نمایند.

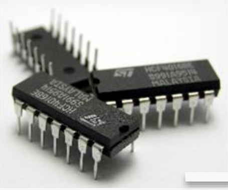
- مثالی از یک اِنکدر، اِنکدر هشت به سه است، با فرض اینکه در هر لحظه از زمان تَنها یک ورودی مقدار 1 را داشته باشد.

جدول درستی اِنکدر 8 به 3										
ورودی								خروجی		
D_0	D_1	D_2	D_3	D_4	D_5	D_6	D_7	X	Y	Z
1	0	0	0	0	0	0	0	0	0	0
0	1	0	0	0	0	0	0	0	0	1
0	0	1	0	0	0	0	0	0	1	0
0	0	0	1	0	0	0	0	0	1	1
0	0	0	0	1	0	0	0	1	0	0
0	0	0	0	0	1	0	0	1	0	1
0	0	0	0	0	0	1	0	1	1	0
0	0	0	0	0	0	0	1	1	1	1

معادلات جبری مدار عبارتند از:

$$z = D_1 + D_3 + D_5 + D_7$$
$$y = D_2 + D_3 + D_6 + D_7$$
$$x = D_4 + D_5 + D_6 + D_7$$

سؤال: در طراحی بالا فرض بر این است که در هر لحظه یک ورودی فعال باشد. اگر مثلاً دو ورودی فعال شود، چه اتفاقی رخ می دهد؟ یا اگر هیچ ورودی فعال نشود، چه رخ خواهد داد ؟



اِنکُدر اولویت

- برای پاسخ به سوال قبل شرایط زیر را در نظر بگیرید:

۱. اگر هم زمان دو ورودی D_3 و D_6 فعال شوند.

$$\left.\begin{aligned} D_3 &= 1 \\ D_6 &= 1 \end{aligned}\right\} \Rightarrow \quad xyz = 111 \quad \Rightarrow \quad D_7 = 1 \quad ?$$

۲. اگر هیچ ورودی فعال نشود.

$$\left.\begin{array}{ll} D_0 = 0 & D_4 = 0 \\ D_1 = 0 & D_5 = 0 \\ D_2 = 0 & D_6 = 0 \\ D_3 = 0 & D_7 = 0 \end{array}\right\} \Rightarrow \quad xyz = 000 \quad \Rightarrow \quad D_0 = 1 \quad ?$$

اِنکُدر اولویت

- با توجه به شرایط عنوان شده، بایستی تغییراتی در طراحی اِنکدر به شرح زیر ایجاد کنیم:
  - برای حل مشکل شرط اول، مدارهای انکدر، باید اولویتی در ورودی ایجاد کنند تا مطمئن شویم که فقط یک ورودی اِنکُد شده است.

★ اگر اولویت بالاتر را با اندیس های بالاتر ایجاد نماییم و اگر مثلاً در یک زمان D_6 و D_3 برابر 1 شوند، خروجی 110 می شود زیرا D_6 اولویت بالاتری نسبت به D_3 دارد.

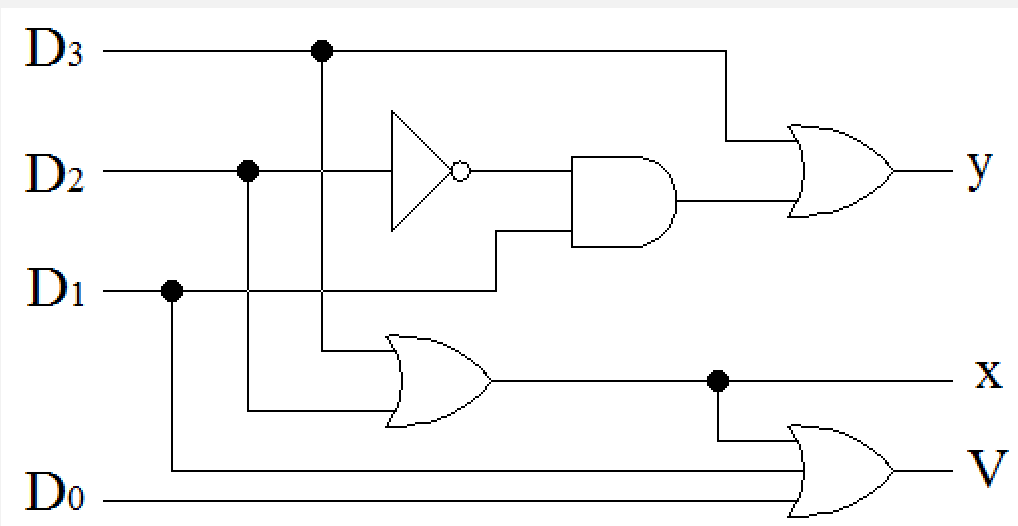
  - برای حل مشکل شرط دوم، می توان یک خروجی بیشتر در نظر گرفت تا به این ترتیب نشان دهد که حداقل یک ورودی 1 است.

یک انکدر اولویت 4 به 2 طراحی کنید.

جدول درستی اِنکدر اولویت 4 به 2						
ورودی				خروجی		
D_0	D_1	D_2	D_3	X	Y	V
0	0	0	0	x	x	0
1	0	0	0	0	0	1
x	1	0	0	0	1	1
x	x	1	0	1	0	1
x	x	x	1	1	1	1

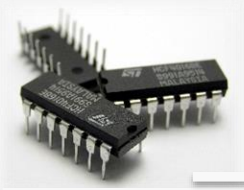
خروجی V زمانیکه فعال است، نشان می دهد خروجی های انکدر معتبرند.

علامت های x نشان دهنده حالت های بی اهمیت هستند، که در ورودی ها بیانگر اولویت می باشند.



جدول درستی و مدار ترکیبی انکدر اولویت 4 به 2

★ تمرین : چگونه توابع X و Y و V از جدول درستی بالا ساده سازی شده و مدار شکل روبرو بدست آمده است؟

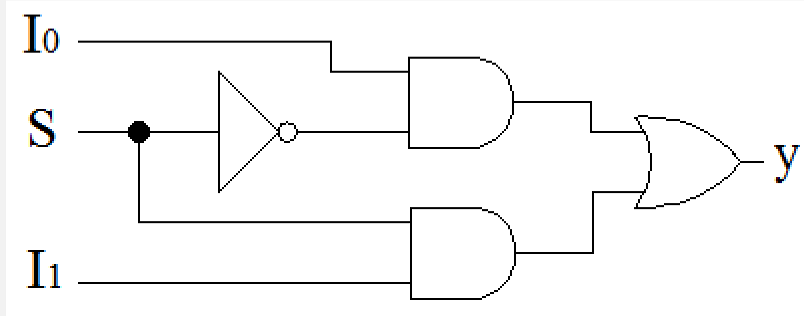


مولتی پلکسر (تسهیم کننده)

- یک مولتی پلکسر (Multiplexer) یا MUX مدار منطقی ترکیبی است که اطلاعات دودویی را از تعدادی خط ورودی دریافت کرده و آنها را به یک خط خروجی هدایت می نماید.
- انتخاب یک ورودی خاص به وسیله مجموعه ای از خطوط انتخاب انجام می شود.
- مولتی پلکسر دارای 2^n خط ورودی و n خط انتخاب و یک خروجی است، که به کمک خطوط انتخاب، یکی از خطوط ورودی را به تنها خروجی خود متصل می کند.

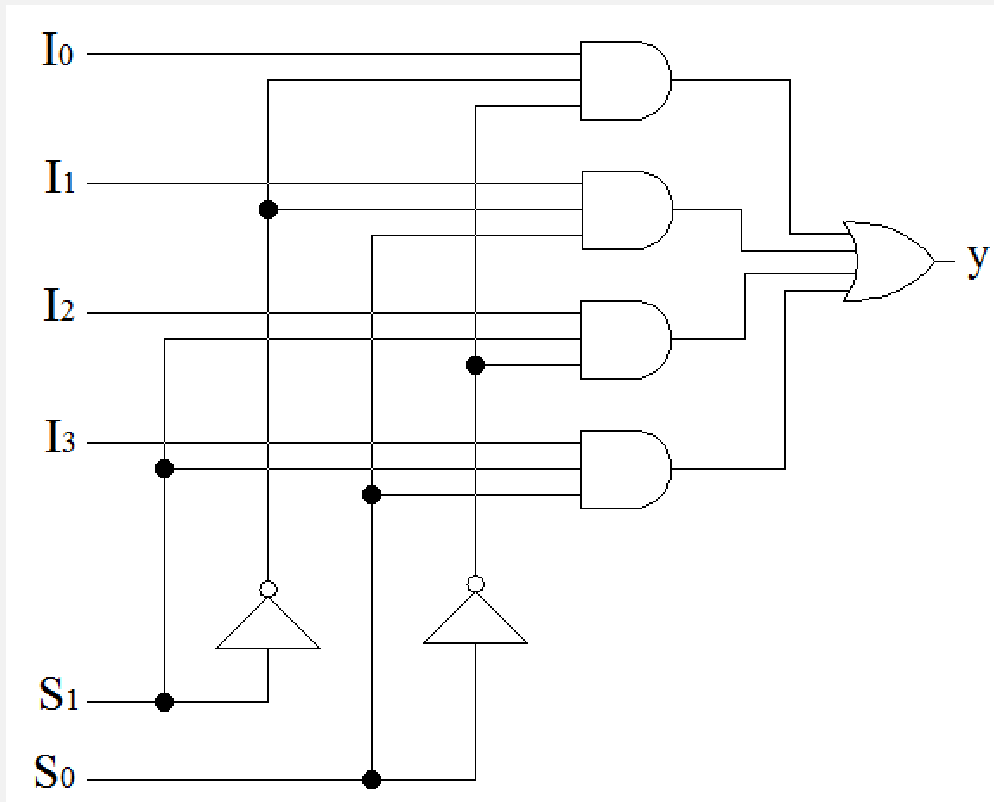
★تمرین : مولتی پلکسر ۴ به ۱ را با گیت های سه حالته و یک دیکودر ۲ به ۴ طراحی کنید.

S	y
0	I_0
1	I_1



جدول درستی و مدار ترکیبی مولتی پلکسر ۲ به ۱

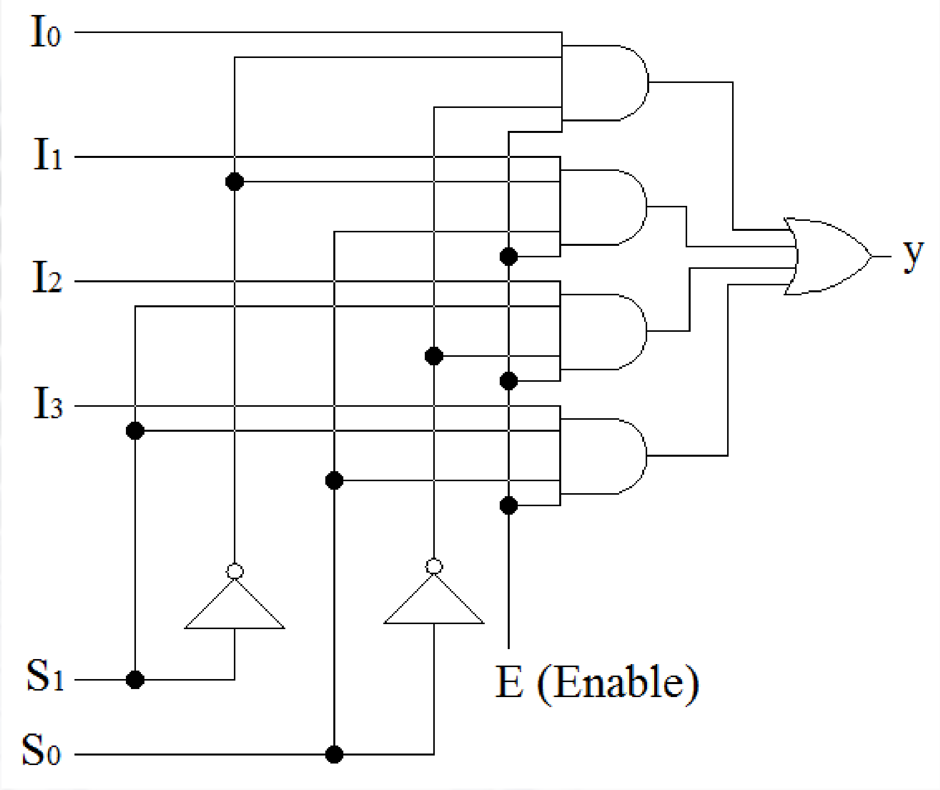
S_1	S_0	y
0	0	I_0
0	1	I_1
1	0	I_2
1	1	I_3



جدول درستی و مدار ترکیبی مولتی پلکسر ۴ به ۱

مولتی پلکسر و خط فعال ساز

E	S_1	S_0	y
0	x	x	0
1	0	0	I_0
1	0	1	I_1
1	1	0	I_2
1	1	1	I_3



جدول درستی و مدار ترکیبی مولتی پلکسر ۴ به ۱ با خط فعال ساز

نکته: برای تهیه مدار مولتی پلکسرهای بزرگتر می توان مولتی پلکسرهای کوچکتر با ورودی های فعال ساز را به هم متصل کرد.

پیاده سازی مدارات منطقی ترکیبی با مولتی پلکسر

- در مطالب قبلی دیدیم که با افزودن یک گیت OR به خروجی های یک دیکدر می توان از آن برای پیاده سازی توابع بول استفاده کرد.

- با بررسی مدار یک مولتی پلکسر ملاحظه می شود که این مدار در واقع همان دیکدر است که یک گیت OR به آن اضافه شده است.

- پیاده سازی مدارهای منطقی ترکیبی با مولتی پلکسر حالات مختلفی دارد که الگوریتم آن را بررسی خواهیم کرد.

پیاده سازی مدارات منطقی ترکیبی با مولتی پلکسر

۱. m متغیر را از n متغیر تابع جبری مسئله جدا می شود.
   - با این عمل، جدول درستی مسئله به 2^{n-m} دسته 2^m حالته تقسیم می شود.

۲. مولتی پلکسری انتخاب می شود که تعداد خطوط انتخابش n-m باشد. سپس n-m متغیر تابع به خطوط انتخاب وصل می شود.

۳. در دسته های ایجاد شده در جدول درستی تابع در مرحله اول، رابطه بین m متغیر جدا شده و خروجی تابع بصورت جبری محاسبه می گردد.

۴. متناسب با کد دودویی n-m در هر دسته، رابطه بدست آمده در مرحله قبل را به ورودی مناسب در مولتی پلکسر وصل می کنیم.

تابع جبری زیر را بوسیله مالتی پلکسر طراحی و پیاده سازی کنید.

$$F(x, y, z) = \sum m(1,2,6,7)$$

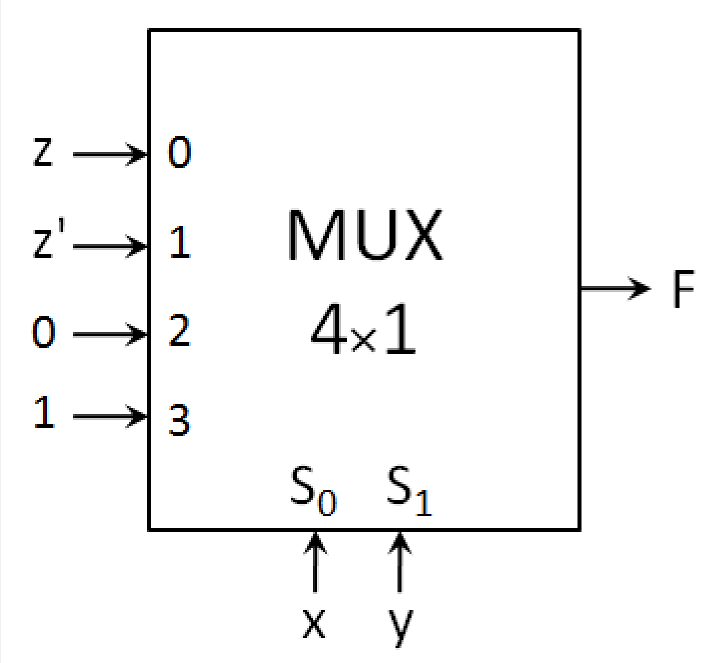
در این تابع تعداد متغیرها **n=3** است.

برای حل این مسئله **m=1** را در نظر می گیریم.

$\underbrace{x \quad y}_{n-m=2}$ $\underbrace{z}_{m=1}$

x	y	z	F	
0	0	0	0	F = z
0	0	1	1	
0	1	0	1	F = z′
0	1	1	0	
1	0	0	0	F = 0
1	0	1	0	
1	1	0	1	F = 1
1	1	1	1	

جدول درستی به $2^{n-m} = 4$ دسته $2^m = 2$ تائی تقسیم شده است.



★تمرین: اگر در طراحی بالا متغیر y را بجای متغیر z جدا کنیم، چه تغییری در جواب حاصل می شود؟

سؤال