Machine Translated by Google

ITRS 2008.سیستم ساعت که از شبکه توزیع ساعت و عناصر متوالی (latches)تشکیل شده است، یکی از اجزای پر مصرف در یک سیستم VLSIاست 30 .[2] ،[1]تا 60درصد کل اتلاف توان در یک سیستم را تشکیل می دهد .[1]در نتیجه، کاهش توان مصرفی توسط ip-opsتأثیر عمیقی بر کل توان مصرفی خواهد داشت. بخش بزرگی از برق روی تراشه توسط درایورهای ساعت مصرف می شود. هنگام طراحی یک سیستم کلاکینگ باید احتیاط کرد تا بار ساعت کاهش یابد.

انتخاب گسترده ای از ip-opsدر ادبیات [18]-[1]وجود دارد. بسیاری از ریزپردازنده‌های معاصر به‌طور انتخابی از spoi-های master-slaveو pulsed triggered استفاده می‌کنند .[2]ip-op-های تک لبه سنتی master-slave، به عنوان مثال، ip-op-opبا دریچه انتقال ،[3]از دو مرحله تشکیل شده است، یکی Masterو دیگری .Slaveیکی دیگر از ip-opکه با لبه راه اندازی می شود، ip-opمبتنی بر تقویت کننده حس (SAFF)است .[4]همه این عملیات‌های لبه سخت با زمان تنظیم مثبت مشخص می‌شوند که باعث تاخیرهای بزرگ D-to-Qمی‌شوند. روش دیگر، ip-opsبا پالس، دو مرحله را به یک مرحله کاهش می دهد و با ویژگی لبه نرم مشخص می شود. 95 درصد از کل چفت‌های زمان‌بندی استاتیک در پردازنده Itanium 2از کلاک پالسی استفاده می‌کنند ops .ip-[5]های راه اندازی شده با پالس را می توان به دو نوع پالس ضمنی و پالس صریح طبقه بندی کرد، به عنوان مثال، داده های نزدیک به خروجی با پالس ضمنی [6] (ip-DCO)و داده های ip-opsنزدیک به خروجی (ep-DCO)با پالس روشن .[6]

این مقاله تکنیک های مختلف توان کم برای سیستم کلاکینگ را در بخش دوم بررسی می کند. پس از آن، ما در مورد کاهش ظرفیت ساعت برای دستیابی به توان کم در بخش IIIتوضیح می دهیم، سپس یک جفت کلاک جدید به اشتراک گذاشته شده در بخش IVپیشنهاد می کنیم. بخش Vنتایج شبیه سازی را ارائه می کند. بخش ششم این مقاله را به پایان می رساند.

II.بررسی طراحی کم مصرف یک سیستم کلاکینگ

مصرف برق توسط عوامل متعددی از جمله فرکانس، ولتاژ تغذیه، فعالیت داده، ظرفیت، نشتی و جریان اتصال کوتاه تعیین می شود. α V f

$$P = P_{\text{dynamic}} + P_{\text{short circuit}} + P_{\text{leakage}}. \quad (1)$$

در مقاله ما، فقط سوئیچینگ پویا، جریان اتصال کوتاهی است که در اثر افزایش و کاهش زمان سیگنال‌های ورودی ایجاد می‌شود و در نتیجه هر دو شبکه pull-upو pull-downشبکه برای مدت کوتاهی روشن می‌شوند .

$$P_{\text{short circuit}} = I_{\text{short circuit}} \mathrm{Vdd}.$$

قدرت نشت با کاهش ولتاژ تغذیه و ولتاژ آستانه نیز برای حفظ عملکرد در حالی که بسته بندی و خنک کننده فقط توانایی محدودی برای حذف گرمای اضافی دارند. همه اینها باعث می‌شود که مصرف انرژی گلوگاه دشتیابی به عملکرد بالا باشد و به عنوان یکی از سه چالش اصلی در لیست قرار گیرد.

نشت زیرآستانه نشت غالب است.

$$P_{\text{leakage}} = I_{\text{leakage}} \mathrm{Vdd}.$$

بر اساس این عوامل، راه های مختلفی برای کاهش قدرت وجود دارد مصرف به صورت زیر نشان داده شده است.

(1راه اندازی دو لبه: استفاده از نیم فرکانس در شبکه توزیع ساعت تقریباً نیمی از مصرف برق شبکه توزیع ساعت را ذخیره می کند. با این حال، ip-opباید بتواند دو لبه ساعت فعال شود. به عنوان مثال، شاخه ساعت به اشتراک گذاشته شده با پالس ضمنی ،(CBS-ip DEFF) [7] ip-opیک ip-opدو لبه است. روش تحریک لبه ساعت دوبل با کاهش فرکانس در معادله، توان را کاهش می دهد.

f

(2استفاده از ولتاژ نوسان کم در شبکه توزیع ساعت می تواند مصرف برق کلاکینگ را کاهش دهد زیرا توان تابع درجه دوم ولتاژ است. برای استفاده از توزیع ساعت با نوسان کم، ip-opباید یک ip-opبا نوسان کم باشد. برای مثال، ip-opدو لبه با نوسان کم [8] (LSDFF)یک ip-opبا نوسان کم است.

علاوه بر این، مبدل سطح ip-opیک کاندید طبیعی برای آن است

[4] Y. Wang, H. Ahn, U. Bhattacharya, T. Coan, F. Hamzaoglu, W. Hafez, C.-H. جان، آر. کولار، اس. کولکارنی، جی. لین، ی. نگ، آی. پست، ال. ول، ی. ناوه‌ری، ک. زانگ، و م. بوهر، "یک سیستم ساعت 4 گیگاهرتزی با توان کم و انعطاف‌پذیری بالا در فناوری 32 نانومتر،" در ISSCC Dig. Tech. Papers، فوریه 2007، صفحات 324-606.

[5] Y. Cao, T. Sato, M. Orshansky, D. Sylvester، و C. Hu، "مدل جدید همتراز مدل سازی موسفت پیش بینی و اتصال برای شبیه سازی مدار اولیه" در Proc. IEEE یکپارچه سازی سفارشی مدارهای Conf. (CICC)، 2000، صفحات 201-204.

[6] J. Wang و B. Calhoun، "بازخورد کپی قناری برای مقیاس بندی نزدیک به DRV در SRAM 90 نانومتری"، در Proc. CICC، 2007، pp. آماده به کار V_{DD} 29–32.

[7] J. Wang و BH Calhoun، "تکنیک هایی برای گسترش مقیاس بندی آماده به کار مبتنی بر قناری برای SRAMها تا 45نانومتر و بالاتر"، J. IEEE مدارهای حالت جامد، جلد. 43، شماره 11، صفحات 2514-2523، نوامبر 2008. V_{DD}

[8] H. Qin, A. Kumar, K. Ramchandran, J. Rabaey، و P. Ishwar، "طراحی SRAMمقاوم در برابر خطا برای عملیات آماده به کار با توان بسیار کم،" در Proc. ISQED، 2008، صفحات 30-34.

[9] J. Lohstroh، "حاشیه نویز استاتیک و دینامیک مدارهای منطقی،" IEEE J. Solid-State Circuits، جلد. 14، شماره 3، صفحات 591-598، مارس 1979.

طراحی عناصر ترتیبی برای توان کم سیستم ساعت

پیپی ژائو، جیسون مک نیلی، ویدونگ کوانگ، نان وانگ و ژونگ فنگ وانگ

چکیده -مصرف برق یک گلوگاه اصلی عملکرد سیستم است و به عنوان یکی از سه چالش اصلی در نقشه راه فناوری بین المللی برای نیمه هادی 2008ذکر شده است. در عمل، بخش بزرگی از توان روی تراشه توسط سیستم ساعت مصرف می شود. ساخته شده از شبکه توزیع ساعت و ip-ops-op-در این مقاله، تکنیک های مختلف طراحی برای یک سیستم کلاکینگ توان پایین بررسی شده است. از جمله آنها روشی موثر برای کاهش ظرفیت بار ساعت با به حداقل رساندن تعداد ترانزیستورهای کلاک شده است. برای نزدیک شدن به این موضوع، ما یک جفت کلاک جدید ip-op-مشترک را پیشنهاد می کنیم که تعداد ترانزیستورهای کلاک شده محلی را تقریباً 40%کاهش می دهد. کاهش 24درصدی قدرت محرک ساعت به دست آمده است.

به‌علاوه، زمان‌بندی کم نوسان و دو لبه را می‌توان به راحتی در ip-op-جدید برای ساخت سیستم‌های کلاکینگ گنجاند.

شرایط نمایه ،Flip-op- کم مصرف.

I.مقدمه

تی

نسخه خطی دریافت شده در 25ژوئیه ;2009تجدید نظر شده در 24نوامبر .2009اولین میخانه منتشر شده در 19ژانویه ;2010نسخه فعلی منتشر شده در 27آوریل .2011

P. Zhaoبا طراحی مدار مجتمع و طراحی آزمایشگاه سیستم جاسازی شده، دانشکده علوم محاسباتی، کالج علوم اشمید، دانشگاه چپمن، اورنج، CA 92604ایالات متحده (ایمیل: zhao@chapman.edu).

J. McNeelyبا مرکز مطالعات پیشرفته کامپیوتر، دانشگاه لوئیزیانا در لافایت، لافایت، LA 70504ایالات متحده آمریکا است.

N. Wangبا مرکز مطالعات پیشرفته کامپیوتر، دانشگاه لوئیزیانا در لافایت، لافایت، LA 70504ایالات متحده آمریکا بود. او اکنون در بخش مهندسی برق و کامپیوتر، دانشگاه ویرجینیای غربی، مونت گومری، 25136 WVایالات متحده آمریکا مشغول به کار است.

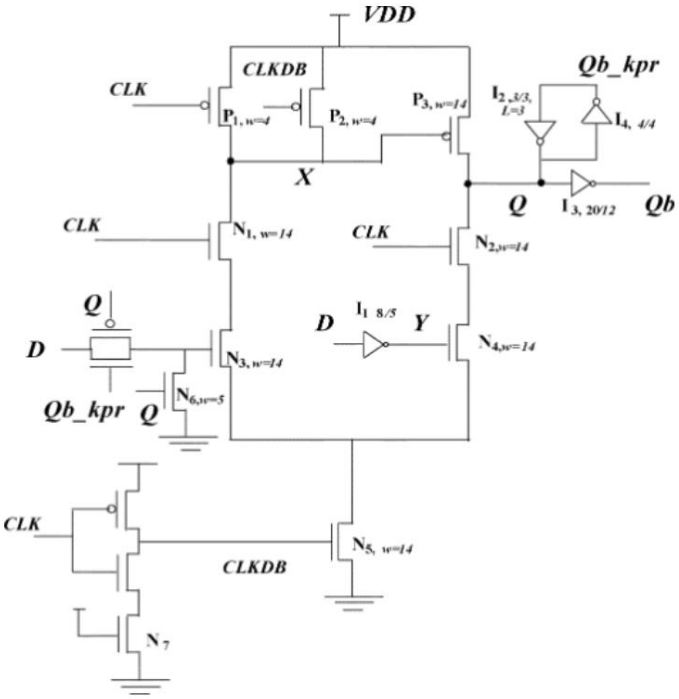
WD Kuangبا گروه مهندسی برق، پان امریکن است دانشگاه، ادینبورگ، TX 78539ایالات متحده آمریکا.

Z. Wangبا Broadcom Corporation, Irvine, CA 92602 USA(ایمیل: zfwang@broadcom.com).

شناسه دیجیتال شی 10.1109/TVLSI.2009.2038705

© 2010 IEEE دلار 1063-8210/26.00

Machine Translated by Google



شکل .CDMFF 1

با این حال، ظرفیت کلاکینگ اضافی در CDMFFوجود دارد.
وقتی داده‌ها 0یا 1باقی می‌مانند، ترانزیستورهای پیش‌شارژ، P1 و P2، بدون محاسبات مفید به سوئیچینگ ادامه می‌دهند و در نتیجه کلاک اضافی ایجاد می‌شود. واضح است که در اینجا لازم است مصرف برق اضافی کاهش یابد. علاوه بر این، CDMFFدارای یک گره در مسیر بحرانی است زیرا مرحله اول آن پویا است. هنگامی که سیگنال ساعت CLKاز 0به 1منتقل می شود، CLKDB برای مدت کوتاهی 1می ماند که یک پنجره پالس ضمنی برای ارزیابی ایجاد می کند. در طول آن پنجره، هر دو P1، P2خاموش هستند.

علاوه بر این اگر داده (N1، N2) و خاموش شدن (N3، N4) توسط شبکه pull-down (N1، N2) و pull-up (N3، N4) در طول پنجره ارزیابی، گره داخلی X از GNDیا Vddجدا می شود. از این رو گره داخلی با Vddیا GNDدر اکثر پنجره های پالس متصل نیست، اساساً به صورت دوره ای در حال اجرا است. با کوچک شدن اندازه ویژگی، گره پویا به دلیل گره دینامیک بدون راندمان بیشتر مستعد وقفه نویز است. اگر نویز نزدیک گره را تخلیه کند، ترانزیستور pMOS P3 تا حدی روشن می شود و یک اشکال در گره خروجی ظاهر می شود در یک مدار نانومقیاس، یک اشکال نه تنها انرژی مصرف می کند بلکه می تواند به مرحله بعدی نیز انتشار یابد که سیستم را در برابر نویز آسیب پذیرتر می کند. . از این رو، CDMFFنمی تواند در محیط های پر سر و صدا استفاده شود. برخلاف CDMFF، سایر poip-های پویا از ساختاری برای جلوگیری از نقطه ضعف استفاده [1]CCFF به عنوان مثال را برای SDFF [13]، HLFF [12] و غیره برای یکسان نگه داشتن گره داخلی X در طول پنجره ارزیابی، گره خروجی Qرا در طول پنجره نگه می دارد و از آن برای افزایش استحکام نویز گره کار می کنند

$$X$$

$$D = 0$$

$$X \cdot$$

در نهایت، به کار بردن تکنیک های کم توان معرفی شده در بخش قبل برای CDMFFدشوار است. به عنوان مثال، ساختار ساعت با ترانزیستورهای پیش شارژ P1، P2 در CDMFF، اعمال تحریک دو لبه را دشوار می کند. همچنین CDMFFرا نمی توان در یک محیط ساعت با نوسان کم استفاده کرد. (توجه داشته باشید که سیگنال ساعت نوسان پایین ورودی نمی تواند P1، pMOSو P2را در بلوک ولتاژ بالا (VDDH)هدایت کند، زیرا ترانزیستورهای pMOSبا ولتاژ نوسان کم خاموش نمی شوند و در نتیجه مصرف برق اتصال کوتاه می شود.)

IV. فلیپ فلاپ پالسی ضمنی CLOCKED-PAIR-SHAREDپیشنهادی

CDFFو CCFFاز ترانزیستورهای کلاک زیادی استفاده می کنند. CDMFFتعداد ترانزیستورهای کلاک شده را کاهش می دهد اما دارای کلاک اضافی نیز می باشد

در محیط کم نوسان نیز استفاده شود. به عنوان مثال، CD-LCFF-ip [9]، می تواند به عنوان یک ip-op□با نوسان کم استفاده شود زیرا سیگنال های دریافتی فقط ترانزیستورهای nMOSرا هدایت می کنند. روش نوسان کم با کاهش ولتاژ در معادله، مصرف برق را کاهش می دهد.
(3دو راه برای کاهش فعالیت سوئیچینگ وجود دارد: عملیات مشروط (حذف سوئیچینگ داده اضافی: شارژ مشروط ip-op (CDFF) [10]، ضبط مشروط ip-op□ (CCFF) [11]یا دروازه ساعت الف) عملیات مشروط

برای poip-های پویا، مانند قفل هیبریدی ip-op-op [12]، ip-opp (HLFF)نیمه دینامیکی [13]، (SDFF)فعالیت های سوئیچینگ دانت اضافی در گره داخلی وجود دارد. هنگامی که ورودی در منطق یک می ماند، گره داخلی بدون انجام محاسبات مفید در حال شارژ و تخلیه می شود. تکنیک عملیات مشروط برای کنترل سوئیچینگ مجدد ضروری است. به عنوان مثال، در CDFF، یک سیستور ترانس فیدبک در مسیر تخلیه مرحله 1قرار داده شده است که مسیر تخلیه را با نگه داشتن 1خاموش می کند. گره داخلی در هر سیکل ساعت دشارژ نمی شود. در CCFF، از یک گیت NOR کلاک شده برای کنترل سیستور ترانس nMOSدر مسیر تخلیه زمانی که 1نگه می دارد استفاده می کند. فعالیت سوئیچینگ اضافی در هر دو مورد حذف می شود. این امر با کاهش فعالیت داده ها در معادله، مصرف برق را کاهش می دهد.

$$D$$

$$Q$$

ب) دروازه ساعت.
وقتی بلوک خاصی غیرفعال است، می‌توانیم سیگنال ساعت آن بلوک را غیرفعال کنیم تا در مصرف انرژی صرفه‌جویی کنیم. در [14]استاد برده دردار ip-op□ پیشنهاد شد. هر دو روش عملیات مشروط و راه‌اندازی ساعت، توان را با کاهش فعالیت سوئیچینگ کاهش می‌دهند.

(4استفاده از Dual Vt/MTCMOSبرای کاهش قدرت نشتی در حالت آماده به کار. با کوچک شدن اندازه ویژگی، جریان نشتی به سرعت افزایش می‌یابد، تکنیک [15] MTMOSو همچنین انباشته شدن ترانزیستور، بایاس بدنه پویا، و افزایش ولتاژ منبع تغذیه می‌تواند برای کاهش مصرف برق آماده به کار نشت استفاده شود .[16]یک راه حل برای حفظ داده در [17]پیشنهاد شده است.

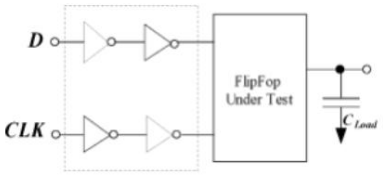
(5کاهش توان جریان کوتاه: مسیر تقسیم می تواند توان جریان کوتاه را کاهش دهد، زیرا pMOS و nMOSتوسط سیگنال های جداگانه هدایت می شوند.
(6کاهش ظرفیت بار ساعت: 80%گره های غیرکلاک دارای فعالیت سوئیچینگ کمتر از 0.1 هستند. این به این معنی است که کاهش قدرت گره های کلاک شده مهم است زیرا گره کلاک 100%فعالیت دارد.
یکی از راه های موثر طراحی توان کم برای سیستم کلاکینگ، کاهش بار ظرفیت ساعت با به حداقل رساندن تعداد ترانس سیستور کلاک شده است. هر گونه کاهش بار ساعت محلی باعث کاهش مصرف برق جهانی نیز می شود. این روش با کاهش ظرفیت ساعت در معادله، توان را کاهش می دهد. در بخش سوم بیشتر توضیح خواهیم داد.

III. کاهش ظرفیت ساعت با به حداقل رساندن تعداد ترانزیستورهای ساعت دار

بخش بزرگی از برق روی تراشه توسط درایورهای ساعت مصرف می شود .[18]مطلوب است که بار کلاک کمتری در سیستم وجود داشته باشد. CDFFو CCFFدر بخش IIهر دو دارای تعداد زیادی ترانزیستور کلاک هستند. به عنوان مثال، CCFFاز 14ترانزیستور کلاک شده و CDFFاز 15 ترانزیستور کلاک استفاده می کند. در مقابل، نقشه‌برداری داده‌های شرطی (CDMFF، ip-op)شکل [19] (1تنها از هفت ترانزیستور کلاک‌شده استفاده می‌کند، که منجر به کاهش حدود 50درصدی تعداد ترانزیستورهای کلاک‌شده می‌شود، بنابراین CDMFFانرژی کمتری نسبت به CCFFو CDFF مصرف می‌کند. (توجه داشته باشید که CDFFاز ساعت دو لبه استفاده می کند. برای اهداف ساده، ما صرفه جویی در مصرف برق را با راه اندازی دو لبه در شبکه توزیع ساعت در نظر نگرفتیم.)

این کارایی کاهش اعداد ترانزیستور کلاک شده برای دستیابی به توان کم را نشان می دهد. از آنجایی که CDMFFاز نظر مصرف برق از CCFFو CDFFبهتر عمل می کند ،[19]ما در این مقاله CCFF یا CDFFرا بیشتر مورد بحث قرار نمی دهیم.

Machine Translated by Google



شکل .3تنظیمات مورد استفاده برای شبیه سازی .ip-□opsورودی ها توسط اینورترها، و خروجی بار ظرفیت حداقل 14اینورتر را هدایت می کند (FO14).

بر اساس کلاکینگ ساده، ip-□opراه اندازی دو لبه بسازید
ساختار در CPSFFعلاوه بر این، CPSFFمی تواند به عنوان مبدل سطح استفاده شود

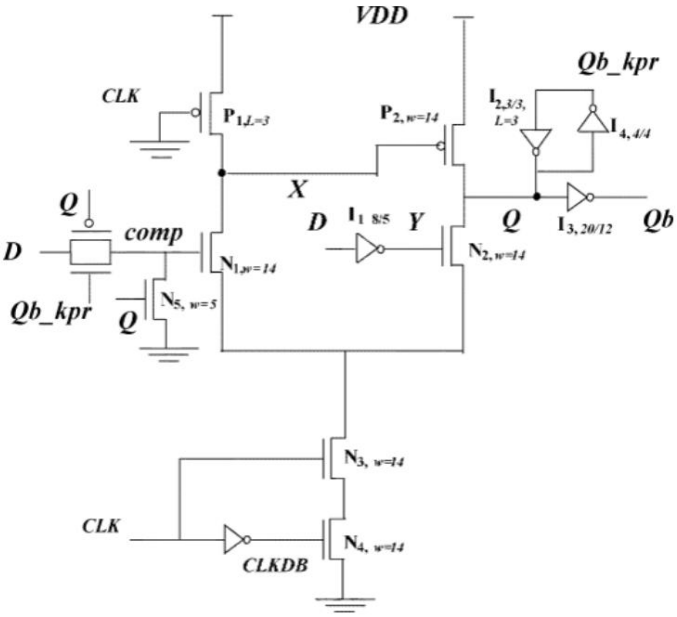
هب-ip-□صورت خودکار عمل می کند، زیرا ساعت ورودی و سیگنال های داده تنها هستند درایو ترانزیستورهای nMOS

.Vنتایج شبیه سازی

نتایج شبیه سازی از شبیه سازی HSPICEدر به دست آمده است

تکنولوژی CMOS 0.18متر در دمای اتاق. VDD 1.8 Vاست μ
ظرفیت‌های انگلی از طرح‌بندی‌ها استخراج شد. تنظیمات استفاده شده
در شبیه سازی های ما در شکل 3نشان داده شده است. برای به دست آوردن نتایج دقیق،
ما مدارها را در یک محیط واقعی شبیه سازی کرده ایم، جایی که ip-□op□
ورودی‌ها (ساعت، داده) توسط بافرهای ورودی هدایت می‌شوند و خروجی آن است
برای هدایت بار خروجی مورد نیاز است. یک اینورتر بعد از خروجی قرار می گیرد، Q
ایجاد حفاظت در برابر کوپلینگ نویز مستقیم .[6]ارزش از
بار خازنی در گره Qb 21 fFاست که برای شبیه سازی یک فن انتخاب شده است.
از 14اینورتر با حداقل اندازه .[21] (FO14)با فرض داده های یکنواخت
توزیع، ما ورودی را با شبه تصادفی 16سیکلی D شبیه کرده ایم
داده های ورودی را با ضریب فعالیت 18.75%برای بازتاب توان متوسط وارد کنید
مصرف. فرکانس ساعت 250مگاهرتز استفاده می شود.
هر طرح با استفاده از مدار در سطح طرح شبیه سازی شده است. همه
ظرفیت‌ها از چیدمان استخراج شده‌اند تا بتوانیم شبیه‌سازی کنیم
مدار با دقت بیشتری این به این دلیل است که ظرفیت گیت داخلی، ظرفیت انگلی و ظرفیت سیم کشی بر توان تأثیر می گذارد.
مصرف به شدت در تکنولوژی زیر میکرومتر عمیق. بیشتر
تأخیر به شدت به این خازن ها بستگی دارد.
مدارها برای محصول تاخیر برق (PDP)بهینه شدند. تاخیر است
تأخیر داده به خروجی (تأخیر D-to-Qکه مجموع راه اندازی است
زمان و ساعت به تاخیر خروجی. تأخیر [23] ،[22] D-to-Q
با جارو کردن زمان های انتقال داده ها به دست می آید $0 \to 1$ و $1 \to 0$
با توجه به لبه ساعت و حداقل تاخیر داده به خروجی
مربوط به زمان راه اندازی بهینه ثبت می شود. این بهینه سازی
روش شناسی مشابه [22] ،[6]است.
در انجیر به ترتیب 1و .2
جدول Iمقایسه ای از ویژگی های ip-opرا از نظر نشان می دهد
تاخیر، توان کل و PDPو همچنین توان ساعت، قدرت محرک داده،
قدرت چفت، تعداد ترانزیستورها، تعداد ترانزیستورهای کلاک شده،
مساحت و کل عرض ترانزیستور.
توان مصرفی داده ها و درایورهای ساعت در ما اندازه گیری می شوند
شبیه سازی. به این ترتیب، بار مشاهده شده توسط منطق رانندگی تحمیل شده توسط
ip-□opدر کل مصرف برق گنجانده شده است. قدرت ساعت است
توان مصرفی ترانزیستورهای کلاک شده بسیار مهم است
پارامتر از آنجایی که با کاهش بار ساعت، صرفه جویی در توان بالقوه را در شبکه توزیع ساعت تعیین می کند
.[22]شکل 4نشان می دهد
نمودار شکست قدرت CPSFFاز سه ترانزیستور با کلاک کمتر استفاده می کند.
که منجر به کاهش حدود 40درصدی تعداد ترانزیستورهای کلاک شده می شود. آی تی
24%قدرت محرک ساعت کمتری نسبت به CDMFFبدست می آورد که بهبود می یابد
راندمان برق به میزان قابل توجهی CPSFFمصرف برق کلی را نسبت به CDMFFحدود 9%بهبود می بخشد.

CPSFFو CDMFFاز طریق گوشه های طراحی مختلف شبیه سازی شده اند،
و CPSFFمصرف انرژی کمتری را در هر چهار گوشه نشان می‌دهد
در شکل 5نشان داده شده است. علاوه بر این، شکل 6مصرف برق را نشان می دهد



شکل .2جفت ساعت پیشنهادی ip-□opمشترک.

یک گره گیر برای اطمینان از اجرای کارآمد و قوی کم
عنصر متوالی ip-□op Clocked Pair Shared ،powerرا پیشنهاد می کنیم
،CPSFF)شکل (2برای استفاده از ترانزیستور با کلاک کمتر نسبت به CDMFFو رفع مشکل پوشش در CDMFF.
در ip-□op، Clocked-Pair-shred جفت ساعت (N3, N4)به اشتراک گذاشته می شود
توسط مرحله اول و دوم همیشه روشن pMOS، P1، برای شارژ استفاده می شود
گره داخلی به جای استفاده از دو پیش شارژ ساعتی X
ترانزیستورها (P1, P2)در .CDMFFدر مقایسه با ،CDMFFدر مجموع
سه ترانزیستور کلاک کاهش می یابد، به طوری که بار ساعت دیده می شود
توسط درایور ساعت کاهش می یابد و منجر به طراحی کارآمد می شود. سپس ترانزیستور N7در اینورتر کلاک در CDMFFحذف می شود.
CPSFFاز چهار ترانزیستور کلاک شده به جای هفت ترانزیس کلاک استفاده می کند
در CDMFFکه منجر به کاهش تقریباً 40درصدی در تعداد می شود
از ترانزیستورهای کلاک شده
علاوه بر این، گره داخلی توسط یک همیشه به Vddمتصل می شود X
در ،P1بنابراین نمی‌شود، که منجر به افزایش استحکام نویز گره می‌شود. را X.
همیشه روشن P1یک ترانزیستور pMOSضعیف (طول) است. این طرح $W = 3\lambda$
شبه [16] nMOSرا با تکنیک نگاشت شرطی ترکیب می کند
[19]که در آن یک سیگنال بازخورد، comp، nMOS N1را کنترل می کند. هنگام ورودی
N5روشن است، N1خاموش می شود تا از موارد اضافی جلوگیری شود $Q = 1$. می ماند ،1 D
فعالیت سوئیچینگ در گره و همچنین هر جریان اتصال کوتاه. pMOS
P2باید در هنگام انتقال به 1بالا بکشد. دومین شاخه nMOS Q D
(N2)مشغول پایین کشیدن خروجی Qاو است $Q = 0$ D
وقتی پالس ساعت می رسد pMOSدر I1باید nMOSرا روشن کند $Y = 1$
وقتی N2 $D = 0$.
اگرچه P1همیشه روشن است، اتصال کوتاه فقط یک بار اتفاق می افتد که
انتقال می دهد و مسیر تخلیه قطع می شود D $0 \to 1$.
پس از دو گیت تاخیر توسط کامپ .(N1پس از آن، اگر باقی بماند D
در ،1مسیر تخلیه قبلاً توسط N1قطع شده است. وجود خواهد داشت
بدون اتصال کوتاه طرح کلاک-شبه- nMOSمتفاوت است
ایده کلی منطق شبه nMOSمعمولی که ما از آن استفاده می کنیم
ترانزیستورهای کلاک شده در شاخه پایین کش. P1، N1، N3و N4باید
اندازه مناسب برای اطمینان از حاشیه نویز صحیح [20]باشد.
چندین تکنیک کم توان در بخش IIرا می توان به راحتی در ip-opجدید گنجاند. برخلاف ،CDMFFنوسان کم امکان پذیر است
CPSFFاز آنجایی که ساعت ولتاژ پایین ورودی سیستورهای ترانس pMOSرا هدایت نمی کند. سیگنال های ساعت ولتاژ نوسان پایین را می توان به آن متصل کرد
ترانزیستورهای nMOSبه ترتیب N3و .N4علاوه بر این، آسان است

Machine Translated by Google

جدول I

مقایسه فلیپ فلاپ از نظر تاخیر، توان و محصول تاخیری توان

Design Name	# of tr	100% switching activity tr *1	Area λ^2	Total transistor width (um)	Low Swing	Double Edge	DQ (ps) *2	Clock power	Data driving power	Latching power	Total Power (uw) *3	PDP (fJ)
CDMFF	22	7	23407	23.2	N	difficult	387	6.25	0.42	5.29	11.98	4.63
CPS FF	19	4	23144	21.1	Y	easy	392	4.74	0.47	5.72	10.9	4.28

*1 Includes clocked transistors that switch with the clock
*2 Delay uses DQb
*3 Note that total power= clock power+ data driving power+ latching power.

با توجه به بار کلاکینگ در چفت، ip-opمشترک جفت ساعت پیشنهادی نسبت به طرح های دیگر مانند CCFF، CDFF، CDMFFو غیره کارآمدتر است. از کمترین تعداد ترانزیستورهای کلاک شده در یک استفاده می کند. ip-opدر مقالات منتشر شده تاکنون.

از نظر PDP، بیش از 7.6درصد بهبود حاصل شده است. توجه داشته باشید که CPSFFتاخیر کمی بیشتر از CDMFFدارد. اگرچه بین همیشه در P1و مسیر پایین آمدن در مرحله اول اختلاف وجود دارد، اما اثر منفی آن بر سرعت با کاهش بار خازن در گره داخلی که در آن دو ترانزیستور کلاک شده از قبل شارژ می شوند، کاهش می یابد. نکته ای که باید به آن توجه داشت این است که ip-opsهای پالسی ممکن است به زمان نگهداری بیشتری نسبت به ip-opsهای معمولی نیاز داشته باشند. X.

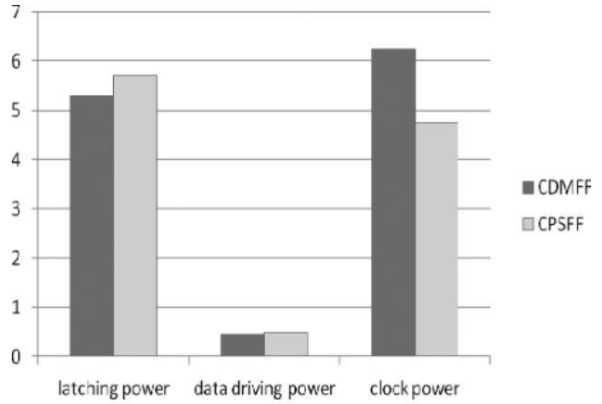
اگر CDMFFدر یک محیط حساس به نویز قرار داشته باشد، از مشکل نقطه انقطاع دوره ای رنج می برد. طرح مشترک جفت ساعتی این مشکل را به طور موثر حل می کند.

با کوچک شدن اندازه ویژگی، جریان نشتی به سرعت افزایش می‌یابد و تکنیک MTMOSمی‌تواند برای کاهش مصرف برق نشتی مورد استفاده قرار گیرد .[15]علاوه بر این، با مقیاس‌بندی فناوری، تکنیک‌های متحمل تغییرات فرآیند مانند ترکیبی از تعصب بدن تطبیقی و VDDتطبیقی ممکن است برای بهبود عملکرد و عملکرد قالب استفاده شود .[24]همانطور که فناوری CMOSبه مقیاس‌بندی ادامه می‌دهد، مدارهای یکپارچه نسبت به خطاهای نرم حساس‌تر هستند، می‌توان از تکنیک‌های مقاوم در برابر خطای نرم استفاده کرد [25].

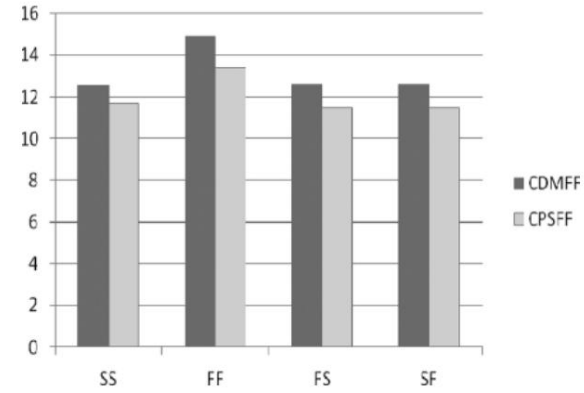
VIنتیجه.

در این مقاله، انواع تکنیک های طراحی برای سیستم کلاکینگ توان کم بررسی می شود. یک روش موثر، کاهش ظرفیت بار ساعت با به حداقل رساندن تعداد ترانزیستورهای کلاک شده، شرح داده شده است.

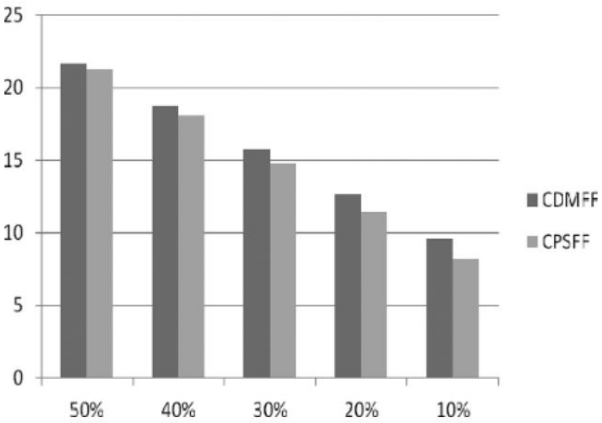
به دنبال این رویکرد، یک CPSFFجدید پیشنهاد شده است که تعداد ترانزیستور ساعت محلی را حدود 40٪ کاهش می دهد. با توجه به مصرف برق درایور ساعت، CPSFFجدید در طراحی ip-opاز حدود 24%از هنرهای قبلی بهتر عمل می کند. علاوه بر این، چندین تکنیک کم مصرف، از جمله نوسان کم و ساعت دو لبه، را می توان برای ادغام در ip-opجدید برای ساختن سیستم های کلاک بررسی کرد.



شکل .4قدرت قطع می شود.



شکل .5مصرف برق در گوشه های فرآیند.



شکل .6مصرف برق تحت فعالیت سوئیچینگ مختلف.

مقایسه تحت فعالیت های سوئیچینگ مختلف بهبود توان CPSFFنسبت به CDMFFزمانی که فعالیت سوئیچینگ کوچکتر است بیشتر است.

تصدیق

P. Zhaoمایل است از آقای J. Tschanzاز اینتل به خاطر ارزشمندش تشکر کند
کمک فنی و همچنین دکتر م فهی برای کمک.

منابع

[1] H. Kawaguchi و T. Sakurai، "یک ip-opبا نوسان ساعت کاهش یافته (RCSFF)برای کاهش 63%توان،" IEEE J. Solid-State Circuits, vol. 33، شماره 5، صص. 807-811، 1998مه.

[2] A. Chandrakasan، W. Bowhill، F. Foxطراحی مدارهای میکروپروسسوری با عملکرد بالا، ویرایش اول. Piscataway، NJ: IEEE Press، 2001.

[3] G. Gerosa، "یک ریزپردازنده RISCفوق اسکالر IEEE J. Solid-State Circuits، جلد. 29، شماره 12، صفحات 1440-1454، دسامبر 1994. 2.2 W، 80 MHz،"

[4] B. Nikolic، VG Oklobzija، V. Stojanovic، W. Jia، JK Chiu، M. Leung، "بهبود عملکرد مبتنی بر تقویت کننده حس: طراحی و اندازه گیری،" IEEE J. Solid-State Circuits, vol. 35، شماره 6، صص. 876-883، ژوئن 2000.

Machine Translated by Google

قرار دادن مصونیت از خطاهای گذرا در سلولی طراحی مدارهای نانومتری

کوستاو باتاچاریا و ناگاراجان رانگاناتان

چکیده- نرخ خطاهای نرم به دلیل روندهای مقیاس پذیری تهاجمی در رژیم نانومتری به طور قابل توجهی افزایش یافته است. چندین تکنیک بهینه سازی مدار در ادبیات برای جلوگیری از چنین خطاهای گذرا پیشنهاد شده است، با این حال، تا آنجا که ما می دانیم، کاهش نرخ خطای نرم در سطح طرح بندی در مدارهای منطقی تلاش نشده است.

در این کار، ما نشان می‌دهیم که اشکالات گذرا ناشی از حملات کیهانی را می‌توان با اصلاح هوشمندانه مرحله قرارگیری در طرح‌های مبتنی بر سلول برای اختصاص انتخابی طول سیم‌های بزرگ‌تر به شبکه‌های حیاتی خاص، به‌اندازه کافی کاهش داد.
برای این منظور، ما یک الگوریتم قرارگیری محاسباتی کارآمد مبتنی بر برنامه‌ریزی درجه دوم را پیشنهاد می‌کنیم که به‌طور قابل‌توجهی نرخ خطای نرم مدارهای منطقی را کاهش می‌دهد. این الگوریتم سعی می‌کند طول سیم‌های بالاتری را برای شبکه‌هایی با احتمال پنهان‌سازی نقص کم برای کاهش بیشتر نرخ خطای نرم (SER)اختصاص دهد، در حالی که تاخیر و جریمه ناحیه کم را برای مدار کلی حفظ می‌کند. نتایج تجربی روی مدارهای معیار ISCAS'85نشان می‌دهد که چنین الگوریتمی می‌تواند به طور قابل‌توجهی ایمنی خطای نرم را در مدارهای منطقی بدون تاخیر زیاد و هزینه‌های سربار منطقه بهبود بخشد.

اصطلاحات شاخص -قرارگیری سلول ، برنامه ریزی درجه دوم، خطاهای نرم، خطاهای انتقالی.

I.مقدمه

روندهای مقیاس تهاجمی به طور قابل توجهی بر حساسیت طرح های نانومتری به گسل های گذرا تأثیر گذاشته است. خطاهای گذرا به دلایل مختلفی مانند خطاهای نرم، نویز منبع تغذیه و اتصال اینترکانکت و تداخل الکترومغناطیسی رخ می دهد. خطاهای نرم زمانی رخ می دهند که نوترون های پرانرژی که از فضا می آیند یا ذرات آلفای ناشی از مواد بسته بندی به ترانزیستورها برخورد می کنند. منابع اولیه خطاهای نرم عبارتند از: (1انتشار ذرات آلفا از تراشه های بسته بندی ریال. (2پرتوهای کیهانی از فضای خارج، نوترون ها و پروتون های پرانرژی ایجاد می کنند. و (3به دلیل تولید نوترون های حرارتی. بزرگی ایراد ایجاد شده در اثر برخورد تشعشع با برخورد نوترون ،ux□مدت زمان و چگالی آن تعیین می شود. نوترون ux□به ارتفاع و سایر عوامل محیطی دیگر وابسته است.

به دلیل برخورد نوترون های پرانرژی، یک نقص ولتاژ در یک گره مدار ظاهر می شود. چنین اشکالی به عنوان یک رویداد گذرا (SET)نامیده می شود.
اشکال ولتاژ، اگر در یک گره بازخورد ظاهر شود، ممکن است وضعیت بیت های حافظه را تغییر دهد. این اشکال ممکن است در گره های داخلی یک منطق ترکیبی نیز ظاهر شود و ممکن است در نهایت به مرزهای reg ister انتشار یابد و یک خطای نرم ایجاد کند. اگرچه خطاهای نرم نگرانی بیشتری برای عناصر حافظه بوده است، روندهای فناوری مانند اندازه ویژگی های کوچکتر، سطوح ولتاژ پایین تر، فرکانس کاری بالاتر و کاهش عمق منطقی پیش بینی می شود که نرخ خطای نرم (SER)را در منطق ترکیبی فراتر از آن افزایش دهد. عناصر حافظه محافظت نشده .[8] ،[5]چندین رویکرد در ادبیات برای محافظت از مدارهای منطقی در برابر خطاهای نرم پیشنهاد شده است .[10] ،[8] ،[6] ،[3]با این حال، تا جایی که می‌دانیم، کاهش نرخ خطای نرم در سطح طرح‌بندی قبلاً هرگز انجام نشده است. در این راستا، ما یک الگوریتم قرارگیری جدید برای مصونیت تابشی مدارهای منطقی با استفاده از یک طراحی استاندارد مبتنی بر سلول توسعه داده‌ایم.

دست نوشته در 17مه 2009دریافت شد. بازبینی شده در 17سپتامبر 2009و 30نوامبر .2009اولین انتشار در 22فوریه ;2010نسخه فعلی منتشر شده در 27آوریل .2011این کار تا حدی توسط کمک مالی از سوی شرکت تحقیقاتی نیمه هادی (SRC)تحت قرارداد 2007-HJ-1596پشتیبانی شد.

نویسندگان با گروه علوم و مهندسی کامپیوتر، دانشگاه فلوریدا جنوبی، تامپا، FL 33620ایالات متحده (ایمیل: kbhattac@cse.usf. edu؛ ranganat@cse.usf.edu)هستند.

نسخه های رنگی یک یا چند شکل در این مقاله به صورت آنلاین در http://ieeexplore.ieee.orgموجود است.

شناسه دیجیتال شی 10.1109/TVLSI.2010.2040295

[5] SD Naffziger، G. Colon-Bonet، T. Fischer، R. Riedlinger، TJ سالیوان، و تی. گروتکوفسکی، "پیاده سازی ریزپردازنده 2"، IEEE J. Solid-State Circuits, vol. 37، Itaniumشماره ،11صص.
2002. نوامبر 1448–1460،
[6] J. Tschanz، S. Narendra، ZP Chen، S. Borkar، M. Sachdev، و V. De، "تأخیر و انرژی مقایسه ای س‌پ□ip-□پالسی تک لبه و دو لبه تحریک شده برای بالا ریزپردازنده های عملکردی» در Proc. ISPLED، هانتینگتون بیچ، کالیفرنیا، آگوست ،2001صفحات .212-207

[7] P. Zhao، J. McNeely، P. Golconda، MA Bayoumi، WD Kuang، و □ip-□op"، IEEE Trans . ادغام در مقیاس B. Barcenas، "Low power clock sharing branch sharing two edge triggered بسیار بزرگ. (VLSI)سیست.، ج. ،15شماره ،3صفحات ،345-338مارس .2007

"A low-swing clock double-edge triggered □ip-□op"، IEEE J. Solid-State Circuits, vol. 37، شماره ،5صفحات ،652-648مه .2002 [8] CL Kim and S. Kang،

“Clocked-pseudo-NMOS □ip-□options for the level sion sion in dual s system IEEE Trans. [9] P. Zhao, J. McNeely, S. Venigala, GP Kumar, M. Bayoumi, N. Wang, and L. Downey,ادغام در مقیاس بسیار بزرگ.
(VLSI)سیستم، برای انتشار.
[10]پی. ژائو، تی. درویش و ام. بایومی، "تخلیه شرطی با کارایی بالا و توان کم ادغام در □ip-□op،" IEEE Trans. مقیاس بسیار بزرگ. (VLSI)سیستم، ج. ،12شماره ،5ص ،484-477مه .2004

capture □ip-□op for Statistic power reducation” IEEE J. Solid-State Circuits, vol. 36، [11] B. Kong, S. Kim, and Y. Jun, “Conditional-شماره ،8صص.
2001. اوت 1263–1271،
L. DiGregorio, and D. Draper, “Flow-through latch and edge-triggered □ip-□hbrid elements” در [12] H. Partovi, R. Burd, U. Salim, F. Weber, . . ISSCC Digفوریه ،1996صفحات .139-138

C. Truong, R. Wang, A. Mehta, R. Heald, and G. Yee, “Semi-dynamic and dynamic □ip-□ em bedded,” در Symp. مدارهای VLSI، [13] F. Klass, C. Amir, A. Das, K. Aingaran، عملیات با منطق حفاری. فنی مقالات، ژوئن ،1998صفحات .109-108

D. Markovic، B. Nikolic، [14] و R. Brodersen، "تجزیه و تحلیل و طراحی □ip-□opsبا انرژی کم." در Proc. بین المللی علائم الکترون کم توان .Des., Huntington Beach, CA, Aug. 2001, pp. 52-55

[15] J. Tschanz، Y. Ye، L. Wei، V. Govindarajulu، N. Borkar، S. Burns، T. Karnik، S. Borkar و V. De، "بهینه سازی طراحی یک ریزپردازنده با عملکرد بالا با استفاده از ترکیبی از تخصیص دوگانه Vtو اندازه ترانزیستور" در IEEE Symp. مدارهای VLSI، حفاری. فنی مقالات، ژوئن ،2002صفحات .219-218

and B. Nikolic, Digital Integrated Cir cuits. Englewood Cliffs، NJ: Prentice-Hall، 2003. [16] J. Rabaey, A. Chandrakasan,
J. Yamada، و [17] Shigematsu، S. Mutoh، Y. Matsuya، Y. Tanabe، "یک طرح مدار 1-Vپرسرعت MTCMOSبرای مدارهای کاربردی خاموش،" IEEE J. Solid-State Circuits ، جلد . ،32شماره ،6صفحات ژوئن 1997. 869-861،

T. Sakurai، [18] "طراحی CMOSکم مصرف از طریق مدارهای کنترل Vthو نوسان کم"، در ISLPED، 1997. Proc.صفحات .6-1
CK Teh، M. Hamada، T. Fujita، H. Hara، N. Ikumi، و [19] Y. Oowaki، "نقشه برداری داده های مشروط برای سیستم های کم مصرف و عملکرد بالا." IEEE Trans . ادغام در مقیاس بسیار بزرگ. (VLSI)سیست.، ج. ،14شماره ،12صص ،1383–1379دسامبر .2006

Hodges, HG Jackson, and RA Saleh, Analysis and Design of Digital Integrated Circuits, 3rd ed. DA [20]نیویورک: مک گراو هیل، 2004.
VG Oklobdzija، [21] "ساعت در محیط چند گیگاهرتزی"، در Proc. بیست و سومین بین المللی IEEE Conf. میکروالکترون.، ،2002جلد. ،2ص .568-561
V. Stojanovic و [22] V. Oklobdzija، "تجزیه و تحلیل مقایسه ای چفت های اصلی و ip-opsبرای سیستم های با کارایی بالا و کم توان،" IEEE J. Solid-State Circuits, vol. 34، شماره ،4صص
1999. آوریل 536-548،
N. Weste و [23] D. Harris، طراحی CMOS VLSI، ریدینگ، MA: ادیسون وسلی، 2004.

J. Tschanz، K. Bowman، [24] و V. De، "مدارات تحمل متغیر: راه حل ها و تکنیک های مدار"، در Proc. علامت IEEEدس خودکار
Conf., Jun. 2005, pp. 762-763.
S. Lin، HZ Yang، [25] و R. Luo، "طراحی لچ مقاوم در برابر خطای نرم با سرعت بالا و طراحی ip-opبرای چندین مدار "VDDدر Proc. IEEE Int. محاسبه کنید. Soc.آنو. علائم VLSI (ISVLSI)، مارس ،2007صفحات .278-273

© 2010 IEEE دلار 1063-8210/26.00