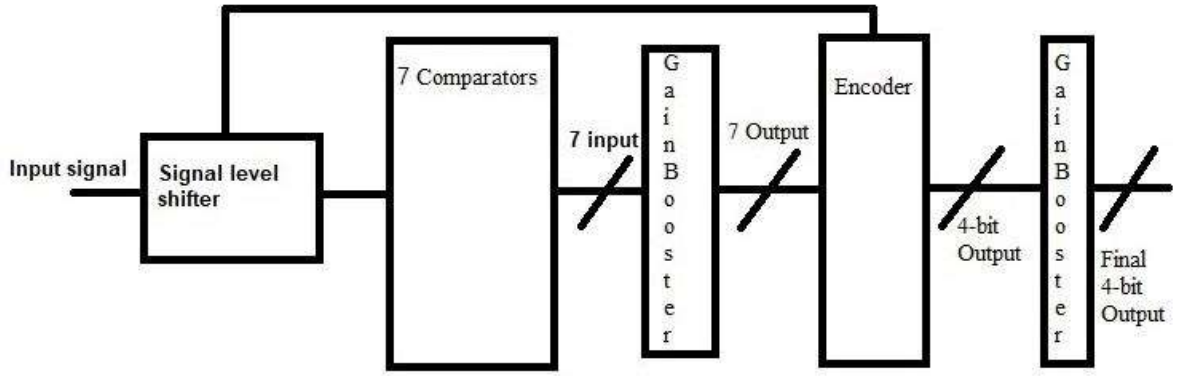
۳-۴-مبدل آنالوگ به دیجیتال ارائه شده

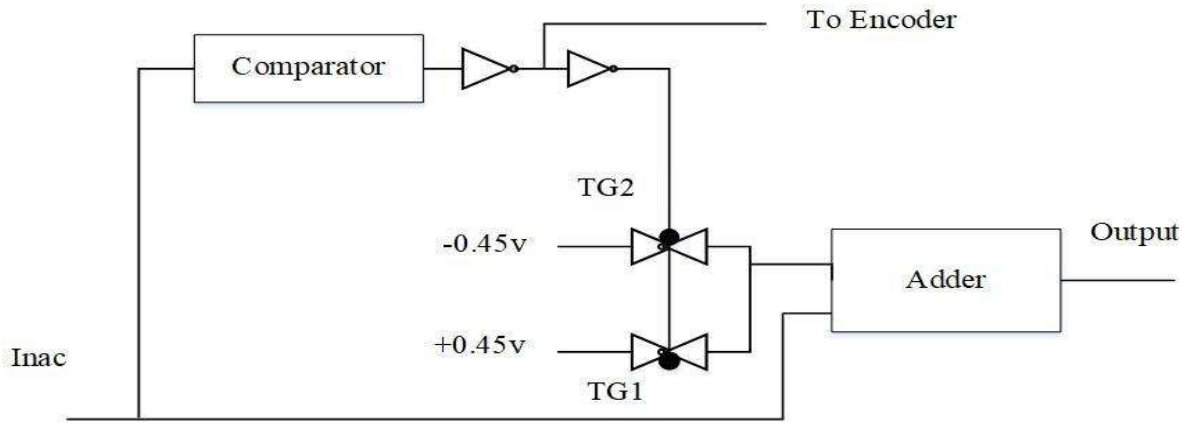
شکل (۳-۵) نشان دهنده بلاک دیاگرام کلی مبدل آنالوگ به دیجیتال طراحی شده که به یکدیگر متصل‌اند، می‌باشد. مبدل داده از سه قسمت کلی انتقال دهنده سیگنال، مقایسه کننده‌ها و انکودر تشکیل شده است.



شکل (۳-۵) : بلاک دیاگرام کلی مبدل ارائه شده

۳-۴-۱-طراحی انتقال دهنده سطح سیگنال و موارد مهم

در پژوهش صورت گرفته یک مدار انتقال دهنده سطح طراحی شده که به مبدل داده کمک میکند ولتاژ ورودی در محدوده ریل تا ریل را شناسایی کند و محدودیت در اعمال ورودی را حذف کند. شکل (۳-۶) نشان دهنده بلاک دیاگرام مدار انتقال دهنده سطح است.



شکل (۳-۶): بلاک دیاگرام انتقال دهنده سطح

سیگنال ورودی که می‌تواند یک سیگنال ریل تا ریل باشد، وارد Inac می‌شود. مقایسه کننده به صورت همزمان تشخیص می‌دهد که سیگنال ورودی بیشتر از 0.9v است یا کمتر. سپس خروجی مقایسه‌کننده 0 یا 1 خواهد بود. اگر سیگنال ورودی از 0 تا V_{DD} افزایش یابد، بازای مقادیر کمتر از 0.9v خروجی مقایسه کننده 1، T-gate1

دسترسی به این مدرک بر پایهٔ آیین‌نامهٔ ثبت و اشاعهٔ پیشنهاده‌ها، پایان‌نامه‌ها، و رساله‌های تحصیلات تکمیلی و صیانت از حقوق پدیدآوران در آنها (وزارت علوم، تحقیقات، فناوری به شمارهٔ ۱۹۵۹۲۹/و تاریخ ۱۳۹۵/۹/۶) از پایگاه اطلاعات علمی ایران (گنج) در پژوهشگاه علوم و فناوری اطلاعات ایران (ایرانداک) فراهم شده و استفاده از آن با رعایت کامل حقوق پدیدآوران و تنها برای هدف‌های علمی، آموزشی، و پژوهشی و بر پایهٔ قانون حمایت از مؤلفان، مصنفان، و هنرمندان (۱۳۴۸) و الحاقات و اصلاحات بعدی آن و سایر قوانین و مقررات مربوط شدنی است.

روشن، T-gate2 خاموش و سیگنال باندازه‌ی 0.45v به بالا شیفت داده می‌شود. به‌ازای مقادیر بیشتر از 0.9v خروجی مقایسه کننده0، T-gate1 خاموش، T-gate2 روشن و سیگنال باندازه‌ی 0.45v به پائین شیفت داده خواهد شد. لازم به ذکر است که انتقال به مقدار 0.45v با توجه به حداقل و حداکثر ولتاژی که قابل تشخیص بوسیله مقایسه‌کننده‌ها طبق روابط (۱)، (۲) و (۳) است، انجام می‌شود. همانگونه که اشاره شد در طراحی مقایسه‌کننده‌ها با استفاده از سلول‌های استاندارد امکان داشتن یک مقایسه کننده با ولتاژ مرجع کمتر از ولتاژ آستانه یک ترانزیستور در یک تکنولوژی وجود ندارد. بنابراین انتقال دهنده سطح سیگنال ارائه شد تا مبدل فلش با استفاده از سلول‌های استاندارد بتواند تمامی سیگنال‌های ورودی را پوشش دهد. با توجه به مبدل آنالوگ به دیجیتال فلش مرسوم برای یک مبدل فلش با دقت چهار بیت، سطوح ولتاژ به ۱۶ تقسیم میشود و احتیاج به ۱۵ مقایسه کننده است. برای ورودی ریل تا ریل با ولتاژ تغذیه V_{DD}=1.8v مقدار سطح ولتاژها 0.1125v است. برای ریل پایین، مقدار 0v باید به حداقل ولتاژ قابل تشخیص (0.45v) و اولین سطح LSB باید به اولین سطح LSB قابل تشخیص، انتقال داده شود. همچنین برای ریل بالا V_{DD} باید به آخرین سطح ولتاژ قابل تشخیص (1.35v) و آخرین سطح LSB به آخرین سطح LSB قابل تشخیص انتقال یابد. جدول (۳-۲) نشان دهنده توضیحات فوق می‌باشد.

جدول (۳-۲) سطوح قابل تشخیص توسط مبدل ارائه شده و انتقال سطوح LSB

Comp. NO.	Voltage level		action	
	1.8	no detectable	Level 1.8 should Shifts to 1.35	
15	1.6875	no detectable		Last LSB should shifts to 1.2375 level
14	1.575	no detectable		
13	1.4625	no detectable		
12	1.35	no detectable		
11	1.2375	detectable		
10	1.125	detectable		
9	1.0125	detectable		
8	0.9	detectable		
7	0.7875	detectable		
6	0.675	detectable		
5	0.5625	detectable		First LSB should shifts to 0.5625 level
4	0.45	no detectable	Level 0 should Shifts to 0.45	
3	0.3375	no detectable		
2	0.225	no detectable		
1	0.1125	no detectable		
	0	no detectable		

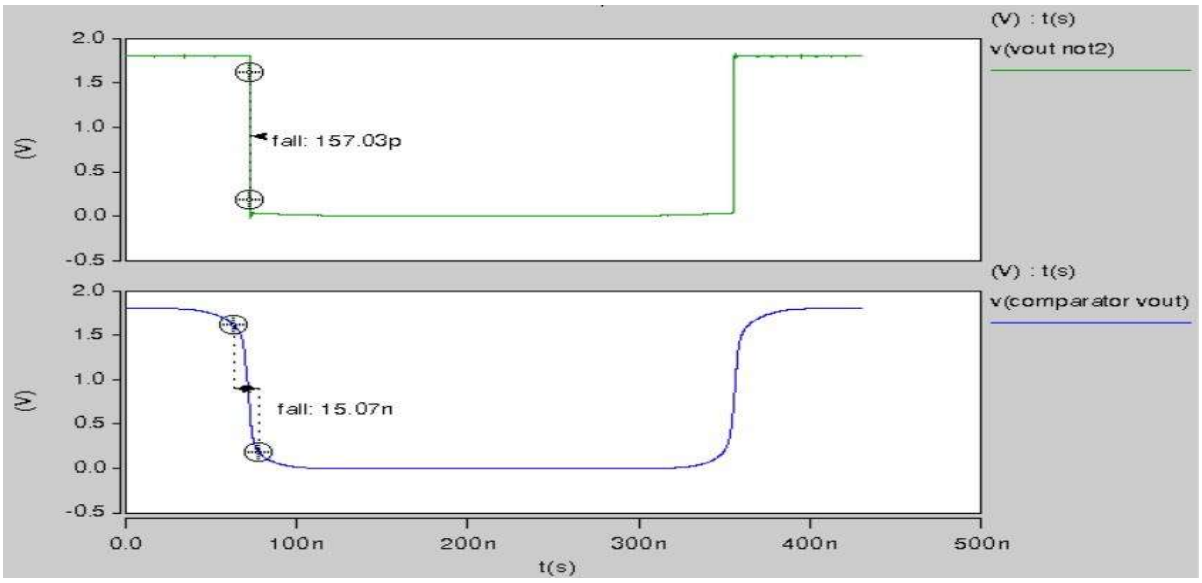
دسترسی به این مدرک بر پایهٔ آیین‌نامهٔ ثبت و اشاعهٔ پیشنهاده‌ها، پایان‌نامه‌ها، و رساله‌های تحصیلات تکمیلی و صیانت از حقوق پدیدآوران در آنها (وزارت علوم، تحقیقات، فناوری به شمارهٔ ۱۹۵۹۲۹/و تاریخ ۱۳۹۵/۹/۶) از پایگاه اطلاعات علمی ایران (گنج) در پژوهشگاه علوم و فناوری اطلاعات ایران (ایرانداک) فراهم شده و استفاده از آن با رعایت کامل حقوق پدیدآوران و تنها برای هدف‌های علمی، آموزشی، و پژوهشی و بر پایهٔ قانون حمایت از مؤلفان، مصنفان، و هنرمندان (۱۳۴۸) و الحاقات و اصلاحات بعدی آن و سایر قوانین و مقررات مربوط شدنی است.

همچنین مقایسه‌کننده به‌کار رفته برای انتقال دهنده سطح، با استفاده از سلول‌های استاندارد ساخته شده است. مقایسه کننده شامل یک NOR با دو ورودی و یک NAND با سه ورودی که به یکدیگر بصورت موازی وصل شده‌اند می‌باشد. نسبتهای طول به عرض مربوط به ترانزیستورها مطابق جدول(۳-۳) است.

جدول(۳-۳): نسبت طول به عرض ترانزیستورها در گیت‌های مقایسه کننده

Gate	W/L ratio
2input NOR	Pull up 1.27 Pulldown 1.27
3input NAND	Pull up 2.5 Pulldown 1.27

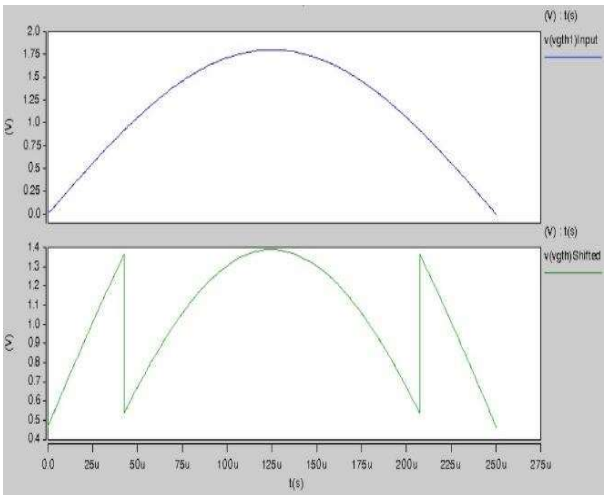
خروجی سلول‌های استاندارد به‌صورت ایده‌آل نمی‌باشد بنابراین خروجی مقایسه کننده بصورت صاف و مسطح نخواهد بود. این امر باعث بروز یک مشکل مهم می‌شود که آن ایجاد یک گلیچ ضخیم و بزرگ در خروجی انکودر در نقاط انتقال سطح سیگنال است. برای حل این مشکل بعد از خروجی مقایسه کننده به‌کار رفته در انتقال دهنده سطح سیگنال، تعدادی گیت NOT استفاده شده است تا زمان افت و خیزش را کاهش دهد. شکل (۳-۷) نشان دهنده تاثیر افزایش گیت NOT در کاهش زمان افت و خیزش تا حد امکان است. Comparator Voutخروجی مقایسه کننده به‌کار رفته در انتقال دهنده سطح و vout not2 خروجی بعد از دو بار NOT کردن است. همان‌گونه که مشاهده میشود، هر NOT زمان افت و خیزش را کاهش می‌دهد.



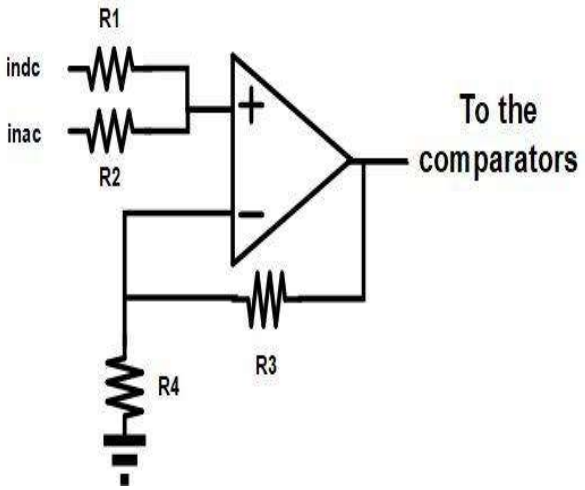
شکل (۳-۷): تاثیر افزایش گیت NOT در خروجی مقایسه کننده انتقال دهنده سطح سیگنال

دسترسی به این مدرک بر پایهٔ آیین‌نامهٔ ثبت و اشاعهٔ پیشنهادها، پایان‌نامه‌ها، و رساله‌های تحصیلات تکمیلی و صیانت از حقوق پدیدآوران در آنها (وزارت علوم، تحقیقات، فناوری به شمارهٔ ۱۹۵۹۲۹/و تاریخ ۱۳۹۵/۹/۶) از پایگاه اطلاعات علمی ایران (گنج) در پژوهشگاه علوم و فنـاوری اطلاعات ایران (ایرانداک) فراهم شده و استفاده از آن با رعایت کامل حقوق پدیدآوران و تنها برای هدف‌های علمی، آموزشی، و پژوهشی و بر پایهٔ قانون حمایت از مؤلفان، مصنفان، و هنرمندان (۱۳۴۸) و الحاقات و اصلاحات بعدی آن و سایر قوانین و مقررات مربوط شدنی است.

برای جمع یا تفریق سیگنال ورودی یک جمع کننده آنالوگ که با یک آپ‌امپ عمل می‌کند استفاده شده تا سیگنال ورودی را با 0.45v+ یا 0.45v- جمع کند. شکل (۳-۸) نشان دهنده خروجی انتقال دهنده سطح سیگنال و سیگنال ورودی است. جمع کننده، یک آپ‌امپ تک خروجی با پیکربندی نشان داده شده در شکل (۳-۹) برای جمع ولتاژ dc با سیگنال ac است. یک عامل مهم برای طراحی آپ امپ slew rate آن است چراکه هنگام تغییر سیگنال ورودی حول مقدار 0.9v خروجی برای دنبال کردن تغییرات ورودی و جلوگیری از خطای خروجی سریعا باید تغییر کند. این یکی از موارد با اهمیت در طراحی انتقال دهنده سیگنال است.



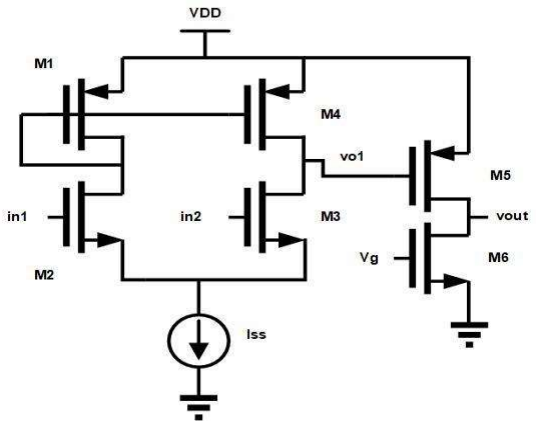
شکل (۳-۸): سیگنال ورودی و سیگنال انتقال داده شده



شکل (۳-۹) مدار جمع کننده آنالوگ

زمان افت و خیزش در لبه‌هایی که سیگنال در حدود 0.9v است و تغییر می‌کند، بسیار مهم است. دلیل آن این‌است که اگر سیگنال با سرعت پایین تغییر کند، باعث ایجاد مشکلاتی در خروجی از قبیل مفقود شدن کد، می‌گردد. شکل (۳-۱۰) مدار آپ‌امپ مورد استفاده در مدار انتقال دهنده سطح سیگنال را نشان می‌دهد. جدول(۳-۴) نشان دهنده نسبت طول و عرض ترانزیستورهای بکار رفته در آمپ‌امپ است. همانگونه که در شکل (۳-۵) مشاهده می‌شود، خروجی مقایسه کننده انتقال دهنده سطح سیگنال به انکودر متصل خواهد شد و با ارزش ترین بیت ورودی انکودر خواهد بود. این بیت مشخص خواهد کرد که سیگنال ورودی بیش از 0.9v یا کمتر 0.9v است. یک عامل مهم که در طراحی انتقال دهنده‌ی سطح باید در نظر گرفته شود آفست آپ‌امپ است که باعث می‌شود جمع یا تفریق سیگنال بیش‌تر از 0.45v انجام شود.

دسترسی به این مدرک بر پایهٔ آیین‌نامهٔ ثبت و اشاعهٔ پیشنهادها، پایان‌نامه‌ها، و رساله‌های تحصیلات تکمیلی و صیانت از حقوق پدیدآوران در آنها (وزارت علوم، تحقیقات، فناوری به شمارهٔ ۱۹۵۹۲۹/و تاریخ ۱۳۹۵/۹/۶) از پایگاه اطلاعات علمی ایران (گنج) در پژوهشگاه علوم و فناوری اطلاعات ایران (ایرانداک) فراهم شده و استفاده از آن با رعایت کامل حقوق پدیدآوران و تنها برای هدف‌های علمی، آموزشی، و پژوهشی و بر پایهٔ قانون حمایت از مؤلفان، مصنفان، و هنرمندان (۱۳۴۸) و الحاقات و اصلاحات بعدی آن و سایر قوانین و مقررات مربوط شدنی است.



شکل (۳-۱۰): مدار آپ‌امپ استفاده شده در مدار انتقال دهنده سطح سیگنال

جدول(۳-۴): نسبت طول و عرض ترانزیستورهای بکار رفته در آمپ‌امپ

Transistor	W/L ratio
M1	15
M2	23
M3	23
M4	15
M5	4.88
M6	0.28

مسئله‌ی مهم دیگر برای انتقال دهنده سطح سیگنال، سنکرون یا همزمان سازی در انتقال اطلاعات است. در مدار انتقال دهنده سطح سیگنال، یک تاخیر در تشخیص سطح سیگنال ورودی و تصمیم گیری برای جمع یا تفریق سطح سیگنال وجود دارد. اگر فرکانس سیگنال ورودی بالا رود، سیگنال بسرعت وارد جمع‌کننده شده و مقایسه کننده و T-gate ها زمان کافی برای تصمیم گیری ندارند. در نتیجه سیگنال چند نانو ثانیه بعد از اینکه از جمع‌کننده عبور کرد، شیفت خواهد کرد. بنابراین انتقال دهنده سطح سیگنال دقیقا در همان زمانی‌که سیگنال از 0.9v بالا یا پایین عبور می‌کند، شیفت نکرده و این باعث خروجی ناصحیح خواهد شد. بنابراین همزمان سازی یک مسئله مهم در طراحی انتقال دهنده سطح سیگنال است.

دسترسی به این مدرک بر پایهٔ آیین‌نامهٔ ثبت و اشاعهٔ پیشنهاده‌ها، پایان‌نامه‌ها، و رساله‌های تحصیلات تکمیلی و صیانت از حقوق پدیدآوران در آنها (وزارت علوم، تحقیقات، فناوری به شمارهٔ ۱۹۵۹۲۹/و تاریخ ۱۳۹۵/۹/۶) از پایگاه اطلاعات علمی ایران (گنج) در پژوهشگاه علوم و فنـاوری اطلاعات ایران (ایرانداک) فراهم شده و استفاده از آن با رعایت کامل حقوق پدیدآوران و تنها برای هدف‌های علمی، آموزشی، و پژوهشی و بر پایهٔ قانون حمایت از مؤلفان، مصنفان، و هنرمندان (۱۳۴۸) و الحاقات و اصلاحات بعدی آن و سایر قوانین و مقررات مربوط شدنی است.

می‌توان ثابت کرد که بهره دیفرانسیلی آپ امپ برابر است با:

$Av= v_{out}/v_{id}=(g_mRo1).\ g_{m5}(r_{op}||r_{on})$

where $v_{o1} = (g_mRo1)\ v_{id}$,

$Ro1=r_{op}||r_{on}$ and

$v_{out} = g_{m5}(r_{op}||r_{on})\ v_{o1}$

نکته حائز اهمیت در طراحی آپ امپ آن است که برای انتقال صحیح اطلاعات، تا حد امکان بهره بالا باشد و همچین آپ امپ کم نویز باشد تا از تغییر شکل سیگنال جلوگیری شود.

مزیت این روش در مقایسه با روش فولدینگ[۸]، آنست که در روش فولدینگ برای هر بار تا زدن سیگنال، احتیاج به یک زوج دیفرانسیلی است که هر زوج دیفرانسیلی مصرف کننده بالای توان است. به‌عنوان مثال برای ۳ بار تا زدن احتیاج به ۳ جفت دیفرانسیلی است. هر زوج دیفرانسیلی به‌منظور جمع دو سیگنال در حالت جریان، ولتاژ را به جریان تبدیل می‌کند. بنابراین این مدار به‌علت کار کردن در حالت جریانی و وجود منابع جریان متعدد، توان بالایی را مصرف می‌کند. اما مدار انتقال دهنده سطح سیگنال ارائه شده، می‌تواند محدوده‌ی سیگنال ورودی را از 0 تا V_{DD} را بدون مدار اضافی پوشش دهد. برخلاف روش فولدینگ، روش ارائه شده احتیاجی به چندین منبع جریان و ادوات اضافی مانند ترانزیستور ندارد. بنابراین با توجه به کاهش ادوات مصرفی، روش ارائه شده توان مصرفی کل و مساحت را کاهش خواهد داد.

۳-۴-۲-طراحی مقایسه کننده‌ها

یکی از تکنیک‌هایی که در مدار پیشنهادی ارائه شده است، اتصال خروجی مقایسه کننده بخش انتقال سطح به مدار انکودر است. این سیگنال بعنوان بیت پر ارزش انکودر عمل می‌کند و باعث حذف یکی از خروجی‌های انکودر خواهد شد. در نتیجه تعداد مقایسه‌کننده‌ها به $2^{(n-1)}$-1 کاهش پیدا خواهد کرد که تقریباً معادل نصف تعداد مقایسه‌کننده‌ها در مبدل فلش مرسوم است که (2^n-1) می‌باشد.

دسترسی به این مدرک بر پایهٔ آیین‌نامهٔ ثبت و اشاعهٔ پیشنهاده‌ها، پایان‌نامه‌ها، و رساله‌های تحصیلات تکمیلی و صیانت از حقوق پدیدآوران در آنها (وزارت علوم، تحقیقات، فناوری به شمارهٔ ۱۹۵۹۲۹/و تاریخ ۱۳۹۵/۹/۶) از پایگاه اطلاعات علمی ایران (گنج) در پژوهشگاه علوم و فنـاوری اطلاعات ایران (ایرانداک) فراهم شده و استفاده از آن با رعایت کامل حقوق پدیدآوران و تنها برای هدف‌های علمی، آموزشی، و پژوهشی و بر پایهٔ قانون حمایت از مؤلفان، مصنفان، و هنرمندان (۱۳۴۸) و الحاقات و اصلاحات بعدی آن و سایر قوانین و مقررات مربوط شدنی است.

مثال ۱: اگر n=4 باشد، به تعداد $2^n-1=2^4-1=15$ مقایسه کننده در مبدل فلش مرسوم احتیاج است. در حالی‌که در مبدل ارائه شده فقط بتعداد $2^{(n-1)}-1=2^{(4-1)}-1=7$ مقایسه کننده احتیاج است که حدود نصف تعداد آن‌ها در حالت مرسوم است.

قضیه ۱: برای $V_{dd}=1.8v$ و ۴بیت پله‌های ولتاژ باید 0.1125v باشد.

اثبات: همانگونه که شرح داده شد، بیت پر ارزش از مقایسه کننده بکار رفته در انتقال دهنده سطح سیگنال، بدست آمده است. بنابراین ۳ بیت باقی می‌ماند که باید خارج شوند. اگر $V_{dd}=1.8v$ با توجه به (۱)، (۳)و (۵)، سلول‌های استاندار نمی‌توانند ولتاژ آستانه کمتر از 0.45v یا V_{GTH} و بیشتر از 1.35vیا $V_{DD}-V_{GTH}$ داشته باشند. بنابراین 1.35-0.45=0.9v باقی می‌ماند که باید توسط مقایسه‌کننده‌ها تشخیص داده شوند. بنابر این پله‌های ولتاژ اینگونه محاسبه میشوند:

$$\frac{0.9}{2^3}=\frac{0.9}{8}=0.1125v$$

استنتاج۱: در روش ارائه شده، مبدل فلش ۴بیتی به تعداد $2^{(n-1)}-1=2^{(4-1)}-1=7$ مقایسه کننده احتیاج دارد.

جدول(۳-۴) بیان‌گر ساختمان سلول‌های استاندارد به همراه ولتاژ آستانه آنها است. همان‌گونه که در ابتدای قسمت ۳-۲- اشاره شد، پژوهش صورت گرفته تعداد مقایسه کننده‌ها را کاهش خواهد داد. اما کاهش تعداد مقایسه‌کننده‌ها بستگی به دقت وکاربرد دارد. علاوه بر امکان تغییر تعداد مقایسه کننده‌ها طراح می‌تواند ولتاژ آستانه را نیز تنظیم کند. در پژوهش صورت گرفته ۷ مقایسه‌کننده با دقت 0.1125v وجود دارند. علت این دقت و تعداد مقایسه کننده اثبات این موضوع است که پژوهش صورت گرفته توانایی پوشش سیگنال‌های ورودی در محدوده‌ی 0 تا V_{DD} با نصف تعداد مقایسه کننده‌ها در مبدل فلش مرسوم را دارد یا خیر. این امکان وجود دارد که بتوان مبدل‌های داده را با محدوده ورودی کمتر و دقت بیشتر طراحی کرد.

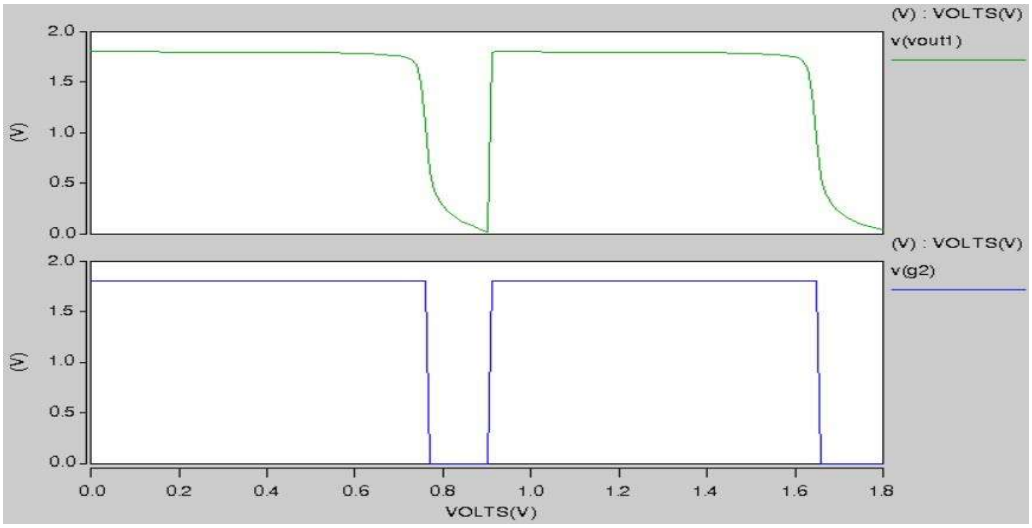
دسترسی به این مدرک بر پایهٔ آیین‌نامهٔ ثبت و اشاعهٔ پیشنهاده‌ها، پایان‌نامه‌ها، و رساله‌های تحصیلات تکمیلی و صیانت از حقوق پدیدآوران در آنها (وزارت علوم، تحقیقات، فناوری به شمارهٔ ۱۹۵۹۲۹/و تاریخ ۱۳۹۵/۹/۶) از پایگاه اطلاعات علمی ایران (گنج) در پژوهشگاه علوم و فنـاوری اطلاعات ایران (ایرانداک) فراهم شده و استفاده از آن با رعایت کامل حقوق پدیدآوران و تنها برای هدف‌های علمی، آموزشی، و پژوهشی و بر پایهٔ قانون حمایت از مؤلفان، مصنفان، و هنرمندان (۱۳۴۸) و الحاقات و اصلاحات بعدی آن و سایر قوانین و مقررات مربوط شدنی است.

جدول(۳-۵): ساختمان سلول‌های استاندارد بهمراه ولتاژ آستانه

Construction	W/L ratio	V_{GTH}	Comparator number
12inputNAND	Pull up 3.88 Pulldown 1.47	1.23v	1
6inputNAND	Pull up 3.69 Pulldown 2.5	1.11v	2
9inputNAND NOT	Pull up 3 Pulldown 1.94 Pull up 4.72 Pulldown 2.5	1.01v	3
3inputNAND NOT	Pull up 3 Pulldown 2.5 Pull up 2.5 Pulldown 2.16	0.93v	4
2NOR 3NAND	Pull up 2.98 Pulldown 1.27 Pull up 2.98 Pulldown 1.27	0.826v	5
2NOR NOT	Pull up 3 Pulldown 1.22 Pull up 3.52 Pulldown 1.38	0.715v	6
3 NOR	Pull up 5.27 Pulldown 2.5	0.6v	7

همانگونه که در قسمت ۳-۵-۱ اشاره شد، خروجی سلول‌های استاندارد، ایده‌آل نمی‌باشد. به‌منظور تقویت بهره و کاهش زمان افت و خیزش، گیت NOT در خروجی مقایسه کننده‌ها به‌کار گرفته شده است. شکل (۳-۱۴) خروجی مقایسه کننده‌ی شماره‌ی ۱ قبل و بعد از اعمال گیت NOT است.

دسترسی به این مدرک بر پایهٔ آیین‌نامهٔ ثبت و اشاعهٔ پیشنهاده‌ها، پایان‌نامه‌ها، و رساله‌های تحصیلات تکمیلی و صیانت از حقوق پدیدآوران در آنها (وزارت علوم، تحقیقات، فناوری به شمارهٔ ۱۹۵۹۲۹/و تاریخ ۱۳۹۵/۹/۶) از پایگاه اطلاعات علمی ایران (گنج) در پژوهشگاه علوم و فنـاوری اطلاعات ایران (ایرانداک) فراهم شده و استفاده از آن با رعایت کامل حقوق پدیدآوران و تنها برای هدف‌های علمی، آموزشی، و پژوهشی و بر پایهٔ قانون حمایت از مؤلفان، مصنفان، و هنرمندان (۱۳۴۸) و الحاقات و اصلاحات بعدی آن و سایر قوانین و مقررات مربوط شدنی است.



شکل (۳-۱۱): تاثیر بکارگیری گیت NOT در خروجی مقایسه‌کننده‌ی شماره‌ی ۱

۳-۴-۳-طراحی انکودر

انکودر یک مبدل آنالوگ به دیجیتال n بیتی از نوع فلش دارای 2^n-1 ورودی و n خروجی است. اما در انکودر به‌کار رفته در مبدل ارائه شده، انکودر دارای ۸ ورودی و ۴ خروجی است. بنابراین طراحی انکودر به‌کار رفته در مبدل ارائه شده، همانند طراحی انکودر یک مبدل آنالوگ به دیجیتال مرسوم نیست. ۷ خروجی مقایسه کننده‌ها به ورودی انکودر و خروجی مقایسه کننده بکار رفته در انتقال دهنده سیگنال به آخرین ورودی انکودر متصل می‌شود. درنهایت انکودر مورد استفاده، با استفاده از روش کوئین مک‌کلاسکی طراحی و ساده سازی شده است.

روش کوئین مک‌کلاسکی برای سنتز توابع دیجیتالی به‌کار می‌رود. به‌منظور تشریح روش کوئین مک‌کلاسکی جدول(۳-۵) در نظرگرفته می‌شود. خروجی مقایسه کننده‌ها از A تا G نام گذاری شده‌اند. حرف H که مربوط به خروجی مقایسه کننده شیفت دهنده‌ی سیگنال است، مشخص می‌کند که سیگنال بیش از 0.9v است یا کمتر از 0.9v. Q0-Q3 خروجی‌های انکودر می‌باشند.

دسترسی به این مدرک بر پایهٔ آیین‌نامهٔ ثبت و اشاعهٔ پیشنهادها، پایان‌نامه‌ها، و رساله‌های تحصیلات تکمیلی و صیانت از حقوق پدیدآوران در آنها (وزارت علوم، تحقیقات، فناوری به شمارهٔ ۱۹۵۹۲۹/و تاریخ ۱۳۹۵/۹/۶) از پایگاه اطلاعات علمی ایران (گنج) در پژوهشگاه علوم و فنـاوری اطلاعات ایران (ایرانداک) فراهم شده و استفاده از آن با رعایت کامل حقوق پدیدآوران و تنها برای هدف‌های علمی، آموزشی، و پژوهشی و بر پایهٔ قانون حمایت از مؤلفان، مصنفان، و هنرمندان (۱۳۴۸) و الحاقات و اصلاحات بعدی آن و سایر قوانین و مقررات مربوط شدنی است.

جدول(۳-۶): ورودی و خروجی‌های انکودر

Input from level shifter	Inputs from Comparators							Output from encoder			
H	G	F	E	D	C	B	A	Q3	Q2	Q1	Q0
0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	1	0	0	0	1
0	0	0	0	0	0	1	1	0	0	1	0
0	0	0	0	0	1	1	1	0	0	1	1
0	0	0	0	1	1	1	1	0	1	0	0
0	0	0	1	1	1	1	1	0	1	0	1
0	0	1	1	1	1	1	1	0	1	1	0
0	1	1	1	1	1	1	1	0	1	1	1
1	0	0	0	0	0	0	0	1	0	0	0
1	0	0	0	0	0	0	1	1	0	0	1
1	0	0	0	0	0	1	1	1	0	1	0
1	0	0	0	0	1	1	1	1	0	1	1
1	0	0	0	1	1	1	1	1	1	0	0
1	0	0	1	1	1	1	1	1	1	0	1
1	0	1	1	1	1	1	1	1	1	1	0
1	1	1	1	1	1	1	1	1	1	1	1

جمع مین‌ترم‌ها خروجی بیت‌های انکودر به‌صورت زیر است:

$Q0=\Sigma m\ (1,7,31,127,129,135,159,255)$

$Q1=\Sigma m\ (3,7,63,127,131,135,191,255)$

$Q2=\Sigma m\ (15,31,63,127,143,159,191,255)$

برای سنتز کردن توابع منطقی ضروری است که هر مین‌ترم به‌مقدار باینری تبدیل شود. سپس مین‌ترم‌های هر خروجی با یکدیگر به‌منظور ایجاد یک فرم بزرگتر مقایسه شود. ترم‌هایی که فقط و فقط یک بیت اختلاف با یکدیگر دارند، میتوانند با یکدیگر ادغام شوند و ترم‌هایی دارای بیش از یک بیت اختلاف هستند نمیتوانند با یکدیگر ادغام شوند. به‌ازای بیت‌هایی که با یکدیگر تفاوت دارند، باید حرف X قرار داده شود و سایر بیت‌ها در مکان خود خواهند ماند. توجه شود که اگر یک ترم توسط ترم دیگر پوشش داده شود، آن ترم حذف خواهد شد. در مرحله‌ی بعد، مراحل

دسترسی به این مدرک بر پایهٔ آیین‌نامهٔ ثبت و اشاعهٔ پیشنهاده‌ها، پایان‌نامه‌ها، و رساله‌های تحصیلات تکمیلی و صیانت از حقوق پدیدآوران در آنها (وزارت علوم، تحقیقات، فناوری به شمارهٔ ۱۹۵۹۲۹/و تاریخ ۱۳۹۵/۹/۶) از پایگاه اطلاعات علمی ایران (گنج) در پژوهشگاه علوم و فنـاوری اطلاعات ایران (ایرانداک) فراهم شده و استفاده از آن با رعایت کامل حقوق پدیدآوران و تنها برای هدف‌های علمی، آموزشی، و پژوهشی و بر پایهٔ قانون حمایت از مؤلفان، مصنفان، و هنرمندان (۱۳۴۸) و الحاقات و اصلاحات بعدی آن و سایر قوانین و مقررات مربوط شدنی است.

فوق‌الذکر با Xها تکرار خواهند شد و برای ادغام، Xها نیز باید با یکدیگر هماهنگ باشند. بعد از تکرار مراحل، هیچ‌یک از مین‌ترم‌ها بایکدیگر ادغام نخواهند شد. بنابراین تابع نهایی با ترم‌های باقیمانده تولید خواهد شد [۱۴].

For Q0:

HGFEDCBA	HGFEDCBA	HGFEDCBA
00000001	X0000001	$\overline{G}\overline{F}\overline{E}\overline{D}\overline{C}\overline{B}A$
10000001		
00000111	X0000111	$\overline{G}\overline{F}\overline{E}\overline{D}CBA$
10000111		
00011111	X0011111	$\overline{G}\overline{F}EDCBA$
10011111		
01111111	X1111111	GFEDCBA
11111111		

$Q0=\overline{G}\overline{F}\overline{E}\overline{D}\overline{C}\overline{B}A+\overline{G}\overline{F}\overline{E}\overline{D}CBA+\overline{G}\overline{F}EDCBA+GFEDCBA$

$Q0=\overline{G}\overline{F}\overline{E}\overline{D}A(CB+\overline{C}\overline{B})+ABCDE(FG+\overline{F}\overline{G})$

For Q1:

HGFEDCBA	HGFEDCBA	HGFEDCBA	HGFEDCBA
00000011	00000X11	XX111111	FEDCBA
00000111			
00111111	0X11111		
01111111			
10000011	10000X11	X0000X11	$\overline{G}\overline{F}\overline{E}\overline{D}BA$
10000111			
10111111	1X111111		
11111111			

دسترسی به این مدرک بر پایهٔ آیین‌نامهٔ ثبت و اشاعهٔ پیشنهاده‌ها، پایان‌نامه‌ها، و رساله‌های تحصیلات تکمیلی و صیانت از حقوق پدیدآوران در آنها (وزارت علوم، تحقیقات، فناوری به شمارهٔ ۱۹۵۹۲۹/و تاریخ ۱۳۹۵/۹/۶) از پایگاه اطلاعات علمی ایران (گنج) در پژوهشگاه علوم و فنـاوری اطلاعات ایران (ایرانداک) فراهم شده و استفاده از آن با رعایت کامل حقوق پدیدآوران و تنها برای هدف‌های علمی، آموزشی، و پژوهشی و بر پایهٔ قانون حمایت از مؤلفان، مصنفان، و هنرمندان (۱۳۴۸) و الحاقات و اصلاحات بعدی آن و سایر قوانین و مقررات مربوط شدنی است.

$Q1=FEDCBA+\overline{G}\overline{F}\overline{E}\overline{D}BA$

$Q1=(FEDC+\overline{G}\overline{F}\overline{E}\overline{D})\ BA$

For Q2:

HGFEDCBA	HGFEDCBA	HGFEDCBA	HGFEDCBA
00001111	000X1111	X00X1111	$\overline{G}\overline{F}$DCBA
00011111			
00111111	0X111111		
01111111			
10001111	100X1111	XX111111	FEDCBA
10011111			
10111111	1X111111		
11111111			

$Q2=\overline{G}\overline{F}DCBA+FEDCBA$

$Q2=(\overline{G}\overline{F}+FE)\ DCBA$

بیت Q3 مستقیما از انتقال دهنده‌ی سطح گرفته میشود. این بیت مشخص میکند که سیگنال ورودی بیش از 0.9v است یا کمتر از 0.9v.

دسترسی به این مدرک بر پایهٔ آیین‌نامهٔ ثبت و اشاعهٔ پیشنهاده‌ها، پایان‌نامه‌ها، و رساله‌های تحصیلات تکمیلی و صیانت از حقوق پدیدآوران در آنها (وزارت علوم، تحقیقات، فناوری به شمارهٔ ۱۹۵۹۲۹/و تاریخ ۱۳۹۵/۹/۶) از پایگاه اطلاعات علمی ایران (گنج) در پژوهشگاه علوم و فنـاوری اطلاعات ایران (ایرانداک) فراهم شده و استفاده از آن با رعایت کامل حقوق پدیدآوران و تنها برای هدف‌های علمی، آموزشی، و پژوهشی و بر پایهٔ قانون حمایت از مؤلفان، مصنفان، و هنرمندان (۱۳۴۸) و الحاقات و اصلاحات بعدی آن و سایر قوانین و مقررات مربوط شدنی است.

فصل چهارم: نتایج

دسترسی به این مدرک بر پایهٔ آیین‌نامهٔ ثبت و اشاعهٔ پیشنهاده‌ها، پایان‌نامه‌ها، و رساله‌های تحصیلات تکمیلی و صیانت از حقوق پدیدآوران در آنها (وزارت علوم، تحقیقات، فناوری به شمارهٔ ۱۹۵۹۲۹/و تاریخ ۱۳۹۵/۹/۶) از پایگاه اطلاعات علمی ایران (گنج) در پژوهشگاه علوم و فناوری اطلاعات ایران (ایرانداک) فراهم شده و استفاده از آن با رعایت کامل حقوق پدیدآوران و تنها برای هدف‌های علمی، آموزشی، و پژوهشی و بر پایهٔ قانون حمایت از مؤلفان، مصنفان، و هنرمندان (۱۳۴۸) و الحاقات و اصلاحات بعدی آن و سایر قوانین و مقررات مربوط شدنی است.

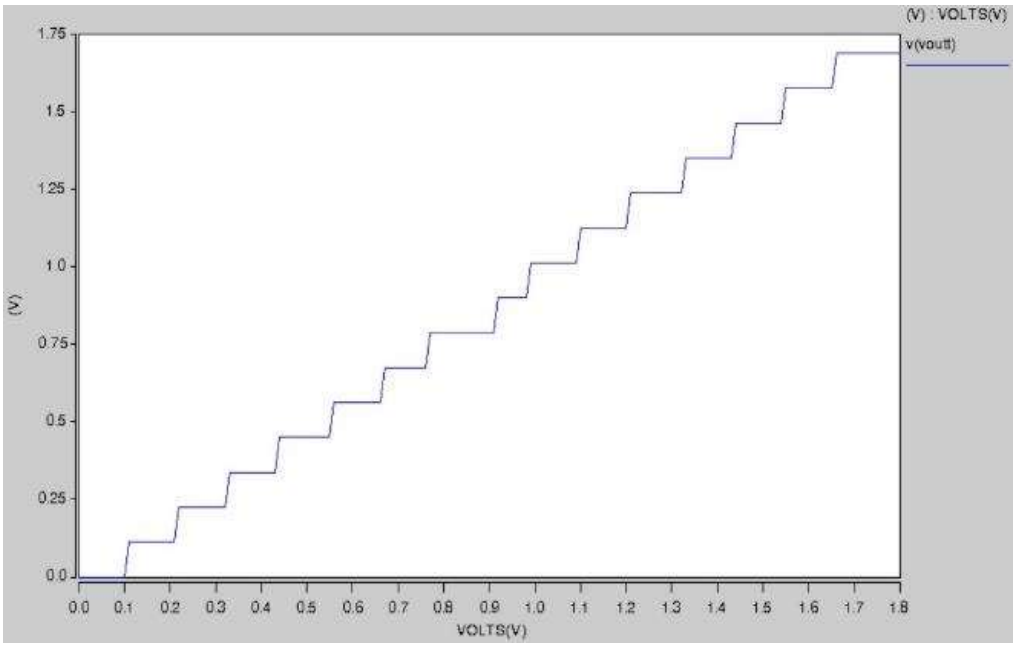
۴-۱- مقدمه

به‌منظور بررسی نتایج پژوهش، داده‌های گردآوری شده باید تجزیه و تحلیل شوند. سپس با نمودارها و یا نتایج پیشین، مقایسه شوند تا بهبود یا عدم بهبود رویت شود. در این فصل نتایج حاصل از شبیه سازی مبدل آنالوگ به دیجیتال ارائه شده، بررسی می‌شوند.

دسترسی به این مدرک بر پایهٔ آیین‌نامهٔ ثبت و اشاعهٔ پیشنهاده‌ها، پایان‌نامه‌ها، و رساله‌های تحصیلات تکمیلی و صیانت از حقوق پدیدآوران در آنها (وزارت علوم، تحقیقات، فناوری به شمارهٔ ۱۹۵۹۲۹/و تاریخ ۱۳۹۵/۹/۶) از پایگاه اطلاعات علمی ایران (گنج) در پژوهشگاه علوم و فنـاوری اطلاعات ایران (ایرانداک) فراهم شده و استفاده از آن با رعایت کامل حقوق پدیدآوران و تنها برای هدف‌های علمی، آموزشی، و پژوهشی و بر پایهٔ قانون حمایت از مؤلفان، مصنفان، و هنرمندان (۱۳۴۸) و الحاقات و اصلاحات بعدی آن و سایر قوانین و مقررات مربوط شدنی است.

۴-۲- نتایج

نتایج مورد بررسی به دو دسته نتایج مربوط به فرکانس صفر و فرکانس کاری تقسیم می‌شود. به‌منظور بدست آوردن خطاهای انتگرالی و دیفرانسیلی مبدل طراحی شده ابتدا باید یک مبدل دیجیتال به آنالوگ ایده آل به خروجی مبدل آنالوگ به دیجیتال سیگنال در حدود فرکانس صفر به مبدل وارد شود تا بتوان خطاهای مذکور را اندازه‌گیری کرد. زیرا این دو خطاهای dc مبدل هستند. بدین منظور یک ورودی ramp به ورودی مبدل آنالوگ به دیجیتال داده می‌شود. شکل (۴-۱) خروجی مبدل آنالوگ به دیجیتال نشان داده شده است.



شکل (۴-۱): خروجی مبدل آنالوگ به دیجیتال

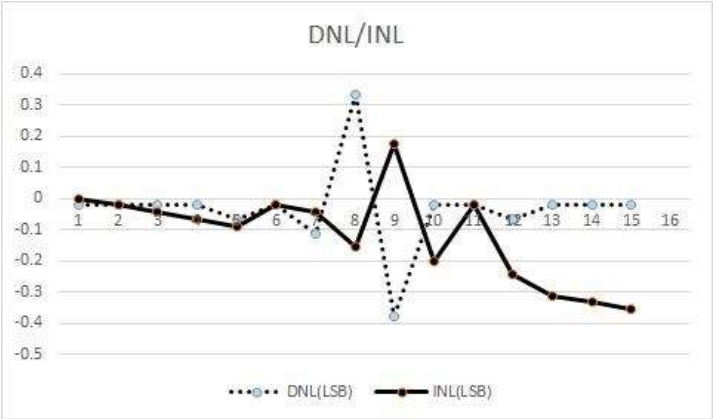
مبدل ارائه شده در تکنولوژی 180nm TSMC با ولتاژ تغذیه 1.8v شبیه سازی شده است.

همان‌گونه که در شکل (۴-۱) مشاهده می‌شود در پله هفتم پهنای LSB بیشتر از اندازه‌ی ایده آل و در پله هشتم پهنای LSB کمتر از اندازه‌ی ایده‌آل است. این تغییر زیاد پهنا باعث ایجاد یک خطای دیفرانسیلی و در نتیجه یک خطای انتگرالی غیر مطلوب خواهد شد. محل وقوع دو خطای فوق‌الذکر در قسمتی است که انتقال دهنده‌ی سطح سیگنال عمل انتقال سطح را انجام میدهد.

شکل (۴-۲) نشان دهنده‌ی خطاهای انتگرالی و دیفرانسیلی مبدل ارائه شده است. محدوده‌ی خطای دیفرانسیلی بین 0.377LSB- تا 0.333LSB و محدوده خطای انتگرالی بین 0.355LSB- تا 0.177LSB است. بنابراین هر

دسترسی به این مدرک بر پایهٔ آیین‌نامهٔ ثبت و اشاعهٔ پیشنهادها، پایان‌نامه‌ها، و رساله‌های تحصیلات تکمیلی و صیانت از حقوق پدیدآوران در آنها (وزارت علوم، تحقیقات، فناوری به شمارهٔ ۱۹۵۹۲۹/و تاریخ ۱۳۹۵/۹/۶) از پایگاه اطلاعات علمی ایران (گنج) در پژوهشگاه علوم و فناوری اطلاعات ایران (ایرانداک) فراهم شده و استفاده از آن با رعایت کامل حقوق پدیدآوران و تنها برای هدف‌های علمی، آموزشی، و پژوهشی و بر پایهٔ قانون حمایت از مؤلفان، مصنفان، و هنرمندان (۱۳۴۸) و الحاقات و اصلاحات بعدی آن و سایر قوانین و مقررات مربوط شدنی است.

دو خطای انتگرالی و دیفرانسیلی در محدوده‌ی قابل قبول 0.5LSB- تا 0.5LSB+ میباشند. اندازه‌ی این خطا در کدهای 8 و 9 بیشترین مقدار رادارند.



شکل (۴-۲): خطای انتگرالی و دیفرانسیلی مبدل ارائه شده

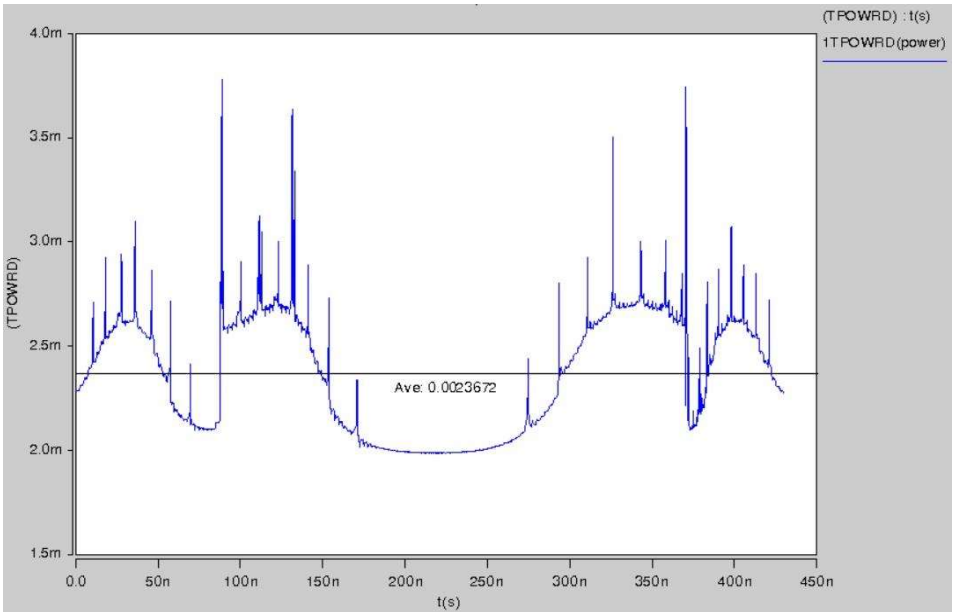
جدول(۴-۱) پژوهش صورت گرفته را با مرجع[۶] مقایسه می‌کند. به‌منظور حفظ تناسب نتایج پژوهش صورت گرفته با مرجع[۶] فرکانس ورودی بر روی 1.17MHz تنظیم شده است. همانگونه که مشاهده می‌شود مجموع توان سیستم 38.7٪ و ضریب شایستگی 85٪ بهبود داشته است. همچنین خطای انتگرالی و دیفرانسیلی افزایش پیدا کرده اما از |0.5LSB| افزایش پیدا نکرده است.

جدول(۴-۱): مقایسه تحقیق انجام شده

Parameters	Proposed work	[6]	Improvement (%)
Technology(nm)	180	180	-
Resolution(bits)	4	4	-
Sampling rate	1GS/s	400MS/s	60
Input frequency	1.17MHz	1.17MHz	-
SFDR(dB)	30.6	30.2	1.5
SNDR(dB)	21.3	24.1	-14.5
DNL(LSB)	-0.377 to 0.333	+/-0.244	-33
INL(LSB)	-0.355 to 0.177	+/-0.064	-450
Total power(mW)	2.36	3.9	38.7
FoM(pJ/step)	0.26	1.76	85

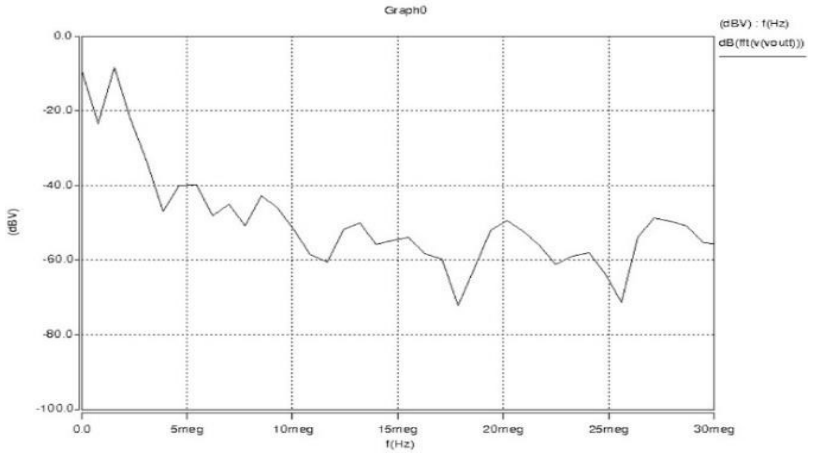
دسترسی به این مدرک بر پایهٔ آیین‌نامهٔ ثبت و اشاعهٔ پیشنهاده‌ها، پایان‌نامه‌ها، و رساله‌های تحصیلات تکمیلی و صیانت از حقوق پدیدآوران در آنها (وزارت علوم، تحقیقات، فناوری به شمارهٔ ۱۹۵۹۲۹/و تاریخ ۱۳۹۵/۹/۶) از پایگاه اطلاعات علمی ایران (گنج) در پژوهشگاه علوم و فناوری اطلاعات ایران (ایرانداک) فراهم شده و استفاده از آن با رعایت کامل حقوق پدیدآوران و تنها برای هدف‌های علمی، آموزشی، و پژوهشی و بر پایهٔ قانون حمایت از مؤلفان، مصنفان، و هنرمندان (۱۳۴۸) و الحاقات و اصلاحات بعدی آن و سایر قوانین و مقررات مربوط شدنی است.

شکل (۳-۴) نشانگر مصرف توان در حین تبدیل اطلاعات است. همانگونه که مشاهده میشود، اوج مصرف توان مربوط به زمانی است که انتقال دهنده سطح سیگنال، سیگنال را انتقال دهد و موجب تغییر وضعیت تمام مقایسه کننده‌ها می‌شود.



شکل (۳-۴): منحنی مصرف توان

در شکل (۴-۴) طیف تبدیل فوریه خروجی رسم و نشان داده شده است. SFDR برای فرکانس ورودی 1.17MHz و نرخ نمونه برداری 1GS/s، 30.6dB میباشد که از کار قبلی بیشتر است. همچنین SNDR برابر 21.3dB است که طبق این نتیجه مقدار بیت‌های موثر 3.24 خواهد شد.

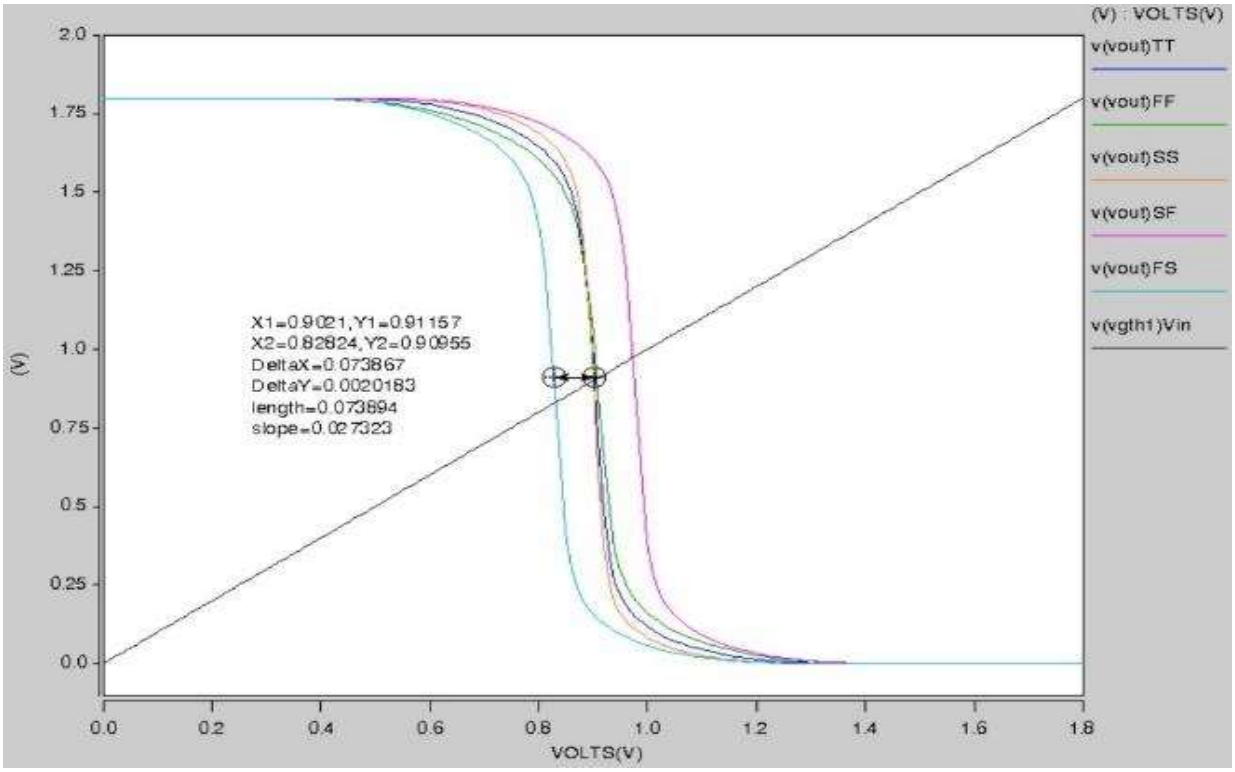


شکل (۴-۴): رسم طیف فوریه

دسترسی به این مدرک بر پایهٔ آیین‌نامهٔ ثبت و اشاعهٔ پیشنهادهها، پایان‌نامه‌ها، و رساله‌های تحصیلات تکمیلی و صیانت از حقوق پدیدآوران در آنها (وزارت علوم، تحقیقات، فناوری به شمارهٔ ۱۹۵۹۲۹/و تاریخ ۱۳۹۵/۹/۶) از پایگاه اطلاعات علمی ایران (گنج) در پژوهشگاه علوم و فنـاوری اطلاعات ایران (ایرانداک) فراهم شده و استفاده از آن با رعایت کامل حقوق پدیدآوران و تنها برای هدف‌های علمی، آموزشی، و پژوهشی و بر پایهٔ قانون حمایت از مؤلفان، مصنفان، و هنرمندان (۱۳۴۸) و الحاقات و اصلاحات بعدی آن و سایر قوانین و مقررات مربوط شدنی است.

۴-۳-تحلیل دمایی و گوشه‌ای یک سلول استاندارد

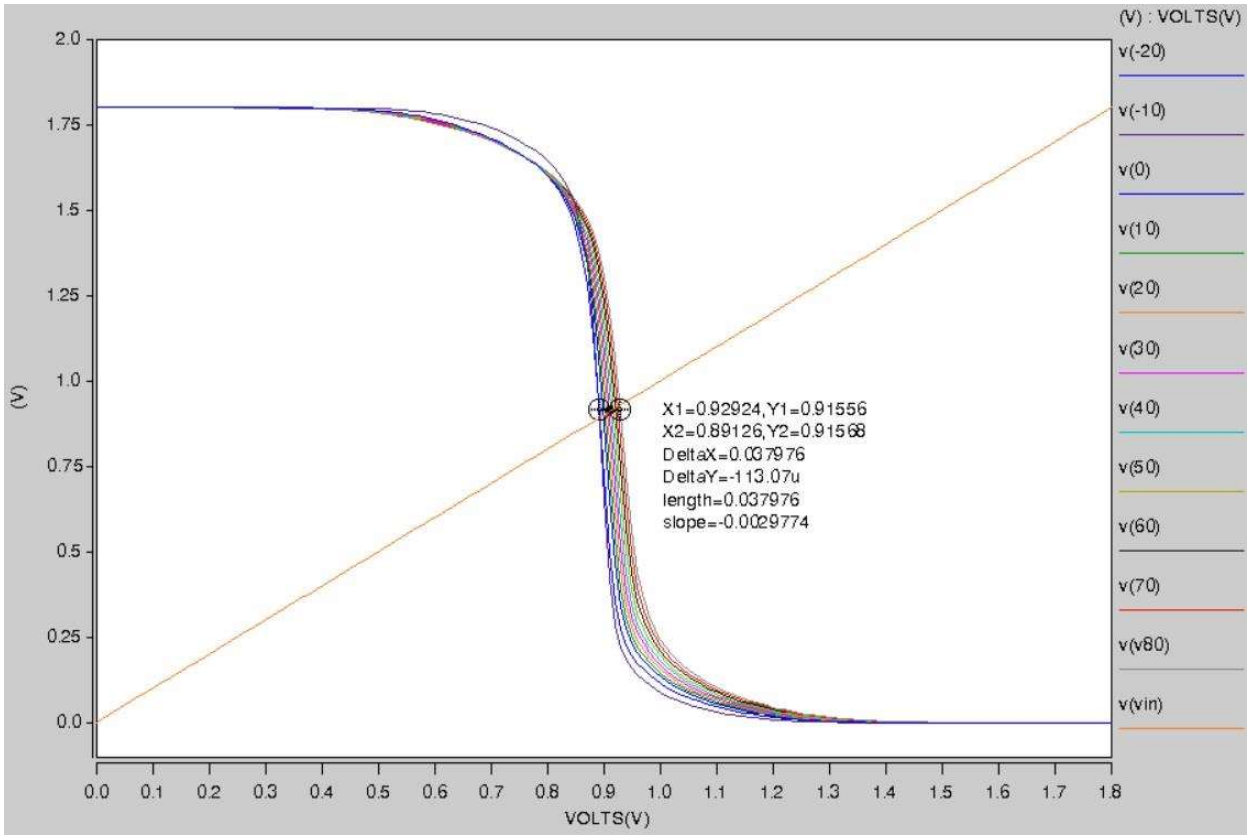
ترانزیستورهای NMOS یا PMOS در هر گوشه‌ای بر روی ویفر سیلیکون، سرعتی متفاوت دارد که می‌تواند سریع یا کند باشد. این موضوع که ترانزیستور هنگام ساخت بر روی کدام ناحیه از ویفر قرار خواهد گرفت، قابل پیش بینی نیست. بنابراین طراح برای ارزیابی عملکرد، باید در نظر داشته باشد که ممکن است طرح بر روی هر گوشه‌ای از ویفر با سرعت متفاوت قرار گیرد. شکل (۴-۵) نشان دهنده تحلیل گوشه‌ای مقایسه کننده‌ی انتقال دهنده سطح سیگنال است. همان‌گونه که مشاهده می‌شود، fast NMOS-slow PMOS و slow NMOS-fast PMOS بیشترین انحراف و Slow NMOS-slow PMOS و fast NMOS-fast PMOS کمترین انحراف را از حالت typical NMOS-typical PMOS دارند. با توجه به شبیه سازی‌ها حداکثر انحراف از حالت معمول، 0.07v است. بنابراین تصمیم گیری درباره‌ی استفاده کردن یا نکردن از سلول‌های استاندارد بستگی به کاربرد و طراح دارد. بدترین حالت هنگامی است که چیپ بر روی گوشه‌های FS یا SF قرار می‌گیرد.



شکل (۴-۵): تحلیل گوشه‌ای مقایسه کننده‌ی انتقال دهنده سطح سیگنال

دسترسی به این مدرک بر پایهٔ آیین‌نامهٔ ثبت و اشاعهٔ پیشنهادها، پایان‌نامه‌ها، و رساله‌های تحصیلات تکمیلی و صیانت از حقوق پدیدآوران در آنها (وزارت علوم، تحقیقات، فناوری به شمارهٔ ۱۹۵۹۲۹/و تاریخ ۱۳۹۵/۹/۶) از پایگاه اطلاعات علمی ایران (گنج) در پژوهشگاه علوم و فناوری اطلاعات ایران (ایرانداک) فراهم شده و استفاده از آن با رعایت کامل حقوق پدیدآوران و تنها برای هدف‌های علمی، آموزشی، و پژوهشی و بر پایهٔ قانون حمایت از مؤلفان، مصنفان، و هنرمندان (۱۳۴۸) و الحاقات و اصلاحات بعدی آن و سایر قوانین و مقررات مربوط شدنی است.

همچنین شکل (۴-۶) نشان دهنده مشخصه انتقال در دماهای مختلف است. تغییرات دما از $-20C^{o}$ تا $80C^{o}$ است. همانگونه که مشاهده می‌شود، ولتاژآستانه در بازه‌ی $-20C^{o}$ تا $80C^{o}$ تنها $0.03v$ تغییرات دارد. بنابراین سلول‌های استاندارد، می‌توانند در محیط‌های مختلف استفاده شوند و تغییر مهم و چشمگیری با تغییر دما وجود نخواهد داشت.



شکل (۴-۶): تحلیل دمایی مقایسه کننده‌ی انتقال دهنده سطح سیگنال

دسترسی به این مدرک بر پایهٔ آیین‌نامهٔ ثبت و اشاعهٔ پیشنهادهها، پایان‌نامه‌ها، و رساله‌های تحصیلات تکمیلی و صیانت از حقوق پدیدآوران در آنها (وزارت علوم، تحقیقات، فناوری به شمارهٔ ۱۹۵۹۲۹/و تاریخ ۱۳۹۵/۹/۶) از پایگاه اطلاعات علمی ایران (گنج) در پژوهشگاه علوم و فنـاوری اطلاعات ایران (ایرانداک) فراهم شده و استفاده از آن با رعایت کامل حقوق پدیدآوران و تنها برای هدف‌های علمی، آموزشی، و پژوهشی و بر پایهٔ قانون حمایت از مؤلفان، مصنفان، و هنرمندان (۱۳۴۸) و الحاقات و اصلاحات بعدی آن و سایر قوانین و مقررات مربوط شدنی است.

۵-فصل پنجم: نتیجه گیری و پیشنهادات آتی

دسترسی به این مدرک بر پایهٔ آیین‌نامهٔ ثبت و اشاعهٔ پیشنهاده‌ها، پایان‌نامه‌ها، و رساله‌های تحصیلات تکمیلی و صیانت از حقوق پدیدآوران در آنها (وزارت علوم، تحقیقات، فناوری به شمارهٔ ۱۹۵۹۲۹/و تاریخ ۱۳۹۵/۹/۶) از پایگاه اطلاعات علمی ایران (گنج) در پژوهشگاه علوم و فنـاوری اطلاعات ایران (ایرانداک) فراهم شده و استفاده از آن با رعایت کامل حقوق پدیدآوران و تنها برای هدف‌های علمی، آموزشی، و پژوهشی و بر پایهٔ قانون حمایت از مؤلفان، مصنفان، و هنرمندان (۱۳۴۸) و الحاقات و اصلاحات بعدی آن و سایر قوانین و مقررات مربوط شدنی است.

۵-۱- مقدمه

هدف اصلی این پژوهش ارائه راهکاری برای از بین بردن محدودیت ورودی و همچنین کاهش هرچه بیشتر توان مصرفی مبدل داده ارائه شده بود.

۵-۲- نتیجه گیری بر اساس هدف‌های پژوهش

در پژوهش صورت گرفته یک مبدل آنالوگ به دیجیتال از نوع فلش بر مبنای سلول‌های استاندارد طراحی شد. به‌طوری‌که بلاک دیاگرام مبدل طراحی شده و هر بلاک با جزئیات به طور مجزا شرح داده شد. معادلات سلول‌های استاندارد آنالیز و وابستگی آنها به طول و عرض ترانزیستورها استخراج شد. سپس استفاده گیت‌ها در مقایسه کننده‌ها و طراحی انکودر توضیح داده شد. نتایج شبیه‌سازی نشان دهنده آن بودندکه توان مصرفی در مجموع 38.7٪ نسبت به کار قبلی کاهش پیدا کرده است. همچنین پارامترهای FOM و SFDR 85٪ و 1.5٪ بهبود داشته اند. پارامترهای DNL و INL افزایش داشته اند اما از مقدار قابل قبول (|0.5LSB|>) کمتر می‌باشند. در نهایت تحلیل گوشه‌ای و گرمایی سلول‌های استاندارد در انتقال دهنده سطح سیگنال شکل گرفت که نتایج شبیه سازی در بدترین حالت نشان دهنده انحراف 0.073 ولتی برای تحلیل‌های گوشه‌ای بوده و همچنین وابستگی آن به دما قابل چشم پوشی می‌باشد.

دسترسی به این مدرک بر پایهٔ آیین‌نامهٔ ثبت و اشاعهٔ پیشنهادهها، پایان‌نامه‌ها، و رساله‌های تحصیلات تکمیلی و صیانت از حقوق پدیدآوران در آنها (وزارت علوم، تحقیقات، فناوری به شمارهٔ ۱۹۵۹۲۹/و تاریخ ۱۳۹۵/۹/۶) از پایگاه اطلاعات علمی ایران (گنج) در پژوهشگاه علوم و فنـاوری اطلاعات ایران (ایرانداک) فراهم شده و استفاده از آن با رعایت کامل حقوق پدیدآوران و تنها برای هدف‌های علمی، آموزشی، و پژوهشی و بر پایهٔ قانون حمایت از مؤلفان، مصنفان، و هنرمندان (۱۳۴۸) و الحاقات و اصلاحات بعدی آن و سایر قوانین و مقررات مربوط شدنی است.

۵-۲- پیشنهادات

مدار انتقال دهنده‌ی سطح سیگنال دارای محدودیت فرکانس ورودی به‌علت ناهمزمانی در ورود و خروج سیگنال است. با همزمان کردن این دو مورد می‌توان مبدل ارائه شده را تا فرکانس‌های کاری بالاتر نیز برد. همچنین عمل شیفت سیگنال باید با سرعت هرچه تمام تر انجام شود تا باعث ایجاد خطا در خروجی نگردد. بنابراین افزایش فرکانس ورودی و افزایش سرعت انتقال دو موضوعی هستند که در آینده می‌توانند مورد بررسی قرار گیرند.

انتقال دهنده سطح سیگنال، یک ایده‌ی ابداعی است که تعداد مقایسه کننده‌ها و توان مصرفی را کاهش می‌دهد. در نتیجه پژوهش بعدی بهینه سازی درزمینه انتقال دهنده‌ی سطح سیگنال خواهد بود تا بتواند در فرکانس‌های بالاتر کار کند. در کنار این موضوع، باید مدار به‌صورت کم توان طراحی و همچنین از گلیچ‌های احتمالی در خروجی مقایسه کننده‌ها جلوگیری شود.

دسترسی به این مدرک بر پایهٔ آیین‌نامهٔ ثبت و اشاعهٔ پیشنهاده‌ها، پایان‌نامه‌ها، و رساله‌های تحصیلات تکمیلی و صیانت از حقوق پدیدآوران در آنها (وزارت علوم، تحقیقات، فناوری به شمارهٔ ۱۹۵۹۲۹/و تاریخ ۱۳۹۵/۹/۶) از پایگاه اطلاعات علمی ایران (گنج) در پژوهشگاه علوم و فنـاوری اطلاعات ایران (ایرانداک) فراهم شده و استفاده از آن با رعایت کامل حقوق پدیدآوران و تنها برای هدف‌های علمی، آموزشی، و پژوهشی و بر پایهٔ قانون حمایت از مؤلفان، مصنفان، و هنرمندان (۱۳۴۸) و الحاقات و اصلاحات بعدی آن و سایر قوانین و مقررات مربوط شدنی است.

مراجع مورد استفاده

[۱] Arunkumar. P. Chavan, Rekha. G, P. Narashimaraja "*Design of a 1.5-V, 4-bit Flash ADC using 90nm Technology*", International Journal of Engineering and Advanced Technology (IJEAT), Vol. 2, Iss. 2, pp. 274-276 December 2012.

[۲] Sarojini Mandal, Dr.J.K Das "*Design Of 3-BIT Low Power Flash Type ADC*", International Journal of Advanced Research in Computer Engineering & Technology (IJARCET), Vol. 3 Iss. 4, pp. 1116-1121 April 2014.

[۳] Sujeet Mishra and Balchand Nagar "*Design of a TIQ Comparator for High Speed and Low Power 4bit Flash ADC*", International Journal of Emerging Technologies in Computational and Applied Sciences (IJETCAS), pp. 159-163, June-August 2013.

[۴] Daegyu Lee, Jincheol Yoo, and Kyusun Choi "*Design Method and Automation of Comparator Generation for Flash A/D Converter*", Department of Computer Science & Engineering, The Pennsylvania State University, University Park, PA 16802 2002.

[۵] Channakka Lakkannavar, Shrikanth K. Shirakol, Kalmeshwar N. Hosur "*Design, Implementation and Analysis of Flash ADC architecture with Differential Amplifier as Comparator using Custom Design Approach*" International Journal of Electronics Signals and Systems (IJESS), Vol.1, Iss.3, pp. 51-56 2012.

[۶] Mayur. S. M1, S. R. K., Nithin Kumar Y. B3, Vasantha M. H4. "*Design of Low Power 4-bit 400MS/s Standard Cell Based Flash ADC*" IEEE Computer Society Annual Symposium on VLSI, pp. 600-603, 2017.

[۷] Sunghyun Park, Yorgos Palaskas and Michael P. Flynn, "*A 4-GS/s 4-bit Flash ADC in 0.18 nm CMOS*", IEEE Journal of Solid State Circuits, vol. 42, no. 9, pp. 1865-1872, Sep. 2007.

دسترسی به این مدرک بر پایهٔ آیین‌نامهٔ ثبت و اشاعهٔ پیشنهاده‌ها، پایان‌نامه‌ها، و رساله‌های تحصیلات تکمیلی و صیانت از حقوق پدیدآوران در آنها (وزارت علوم، تحقیقات، فناوری به شمارهٔ ۱۹۵۹۲۹/و تاریخ ۱۳۹۵/۹/۶) از پایگاه اطلاعات علمی ایران (گنج) در پژوهشگاه علوم و فنـاوری اطلاعات ایران (ایرانداک) فراهم شده و استفاده از آن با رعایت کامل حقوق پدیدآوران و تنها برای هدف‌های علمی، آموزشی، و پژوهشی و بر پایهٔ قانون حمایت از مؤلفان، مصنفان، و هنرمندان (۱۳۴۸) و الحاقات و اصلاحات بعدی آن و سایر قوانین و مقررات مربوط شدنی است.

[۸] N. Agrawal and R. Paily, "*A threshold inverter quantization based folding and interpolation ADC in 0.18 m CMOS*", Springer J. of Analog Integr. Circ. Sig. Process, vol. 63, no. 4, pp. 273-281, Sep. 2009.

[۹] M. Njinowa, M.Siadjine, H.Bui and F.Boyer,"*Design of low power 4 Bit flash ADC based on standard cells*", in IEEE 11th International New Circuits and Systems Conference(NEWCAS), 978-1-4799-0620-8/13/31.00 ©2013 IEEE.

[۱۰] Sumit Khalapure, Siddharth R.K., Nithin Kumar Y.B., Vasantha M.H., "*Design of 5-bit Flash ADC using Multiple Input Standard Cell Gates for Large Input Swing Standard cells*", IEEE Computer Society Annual Symposium on VLSI, pp. , 2017.

[۱۱] Skyler Weaver, Benjamin Hershberg and Un-KuMoon "*Digitally Synthesized Stochastic Flash ADC Using Only Standard Digital Cells*", in IEEE Trans. on circuits and systems, vol. 61, no. 1. pp 84-91, Jan. 2014.

[۱۲] Banik, Subhadeep & Gangopadhyay, Daibashish & Bhattacharyya, Tarun. (2006). *A low power 1.8 v 4-bit 400-MHz flash ADC in 0.18μ digital CMOS*. 2006. 6 pp. 10.1109/VLSID.2006.13.

[۱۳] M.Njinowa, H.Bui and F.Boyer,"*Novel Threshold Based Standard Cell Flash ADC*", Circuits and systems, vol. 3, no.1, pp.29-34, Jan. 2012.

[۱۴] Nelson, V. P., et al. *Digital Logic Circuit Analysis and Design.* Prentice Hall. p. 211. (1995).

[۱۵] Behzad Razavi*, Principle of Data Conversion Systems*. IEEE PRESS. (1995).

[۱۶] Franco Maloberti, *Data Converters*. Springer. (2007).

دسترسی به این مدرک بر پایهٔ آیین‌نامهٔ ثبت و اشاعهٔ پیشنهاده‌ها، پایان‌نامه‌ها، و رساله‌های تحصیلات تکمیلی و صیانت از حقوق پدیدآوران در آنها (وزارت علوم، تحقیقات، فناوری به شمارهٔ ۱۹۵۹۲۹/و تاریخ ۱۳۹۵/۹/۶) از پایگاه اطلاعات علمی ایران (گنج) در پژوهشگاه علوم و فنـاوری اطلاعات ایران (ایرانداک) فراهم شده و استفاده از آن با رعایت کامل حقوق پدیدآوران و تنها برای هدف‌های علمی، آموزشی، و پژوهشی و بر پایهٔ قانون حمایت از مؤلفان، مصنفان، و هنرمندان (۱۳۴۸) و الحاقات و اصلاحات بعدی آن و سایر قوانین و مقررات مربوط شدنی است.

[۱۷] Niu Hao & Zhao Yixiang, "*Measurement of Dynamic Parameters of Delta-Sigma ADC*", Bachelor's Thesis in Electronics, FACULTY OF ENGINEERING AND SUSTAINABLE DEVELOPMENT, University of GÄVE.p 17. (2012).

[۱۸] "*Understanding Data Converters*," Texas Instruments Application Report SLAA013, Mixed-Signal Products, 1995.

[۱۹] *ADCPro™ User Guide*. (2012).

[۲۰] Niu Hao & Zhao Yixiang, "*Measurement of Dynamic Parameters of Delta-Sigma ADC*", Bachelor's Thesis in Electronics, FACULTY OF ENGINEERING AND SUSTAINABLE DEVELOPMENT, University of GÄVE.p 2. (2012).

[۲۱] http://www.maximintegrated.com/an641

[۲۲] *How ADIsimADC™ Models an ADC by Salina Downing and Brad Brannon*, AN737, APPLICATION NOTE, p. 4. (2004).

[۲۳] Patil, Hazrat & Raghavendra, M. (2016). *Low power dynamic comparator for 4 - bit Flash ADC*. 1-4. 10.1109/ICCIC.2016.7919550.

[۲۴] M. Chahardori, M. Sharifkhani and S. Sadughi, "*A low power 1.2 GS/s 4-bit flash ADC in 0.18 µm CMOS,*" East-West Design & Test Symposium (EWDTS 2013), Rostov- on- Don, 2013, pp. 1-4.

[۲۵] M. Ghasemzadeh, A. Soltani, A. Akbari and K. Hadidi, "*A 6-bit 800MS/s flash ADC in 0.35µm CMOS*," 2015 22nd International Conference Mixed Design of Integrated Circuits & Systems (MIXDES), Torun, 2015, pp.

دسترسی به این مدرک بر پایهٔ آیین‌نامهٔ ثبت و اشاعهٔ پیشنهاده‌ها، پایان‌نامه‌ها، و رساله‌های تحصیلات تکمیلی و صیانت از حقوق پدیدآوران در آنها (وزارت علوم، تحقیقات، فناوری به شمارهٔ ۱۹۵۹۲۹/و تاریخ ۱۳۹۵/۹/۶) از پایگاه اطلاعات علمی ایران (گنج) در پژوهشگاه علوم و فنـاوری اطلاعات ایران (ایرانداک) فراهم شده و استفاده از آن با رعایت کامل حقوق پدیدآوران و تنها برای هدف‌های علمی، آموزشی، و پژوهشی و بر پایهٔ قانون حمایت از مؤلفان، مصنفان، و هنرمندان (۱۳۴۸) و الحاقات و اصلاحات بعدی آن و سایر قوانین و مقررات مربوط شدنی است.

Abstract

Due to need for high speed and low power ADCs, IC designers are forced to optimize the Flash ADCs comparator is the most power hungry part of aforementioned ADC to use less power. In this paper a Flash architecture ADC which designed by standard cells is proposed. A novel level shifting circuit is added to front the of comparators to eliminate the input voltage limit drawback and promote rail to rail input range as well as overall power decreasing of ADC by decreasing custom number of Flash ADC comparators. The comparators designed by digital standard cells and since it doesn`t use static power, it will thrift in power consumption too. The front end of ADC is an encoder which designed by Queen-McCluskey method for simplification of the logical statements. The proposed ADC is simulated by Hspice using 180nm TSMC technology with a 1.8v supply voltage. Simulation results show that SFDR is 30.5dB and ENOB is 3.24bits with sampling rate of 1GS/s. The ADC consumes 2.7mW power with FOM of 0.2 pJ/conversion-step.

Keywords Flash ADC. standard cells. Queen-McCluskey method

دسترسی به این مدرک بر پایهٔ آیین‌نامهٔ ثبت و اشاعهٔ پیشنهاده‌ها، پایان‌نامه‌ها، و رساله‌های تحصیلات تکمیلی و صیانت از حقوق پدیدآوران در آنها (وزارت علوم، تحقیقات، فناوری به شمارهٔ ۱۹۵۹۲۹/و تاریخ ۱۳۹۵/۹/۶) از پایگاه اطلاعات علمی ایران (گنج) در پژوهشگاه علوم و فنـاوری اطلاعات ایران (ایرانداک) فراهم شده و استفاده از آن با رعایت کامل حقوق پدیدآوران و تنها برای هدف‌های علمی، آموزشی، و پژوهشی و بر پایهٔ قانون حمایت از مؤلفان، مصنفان، و هنرمندان (۱۳۴۸) و الحاقات و اصلاحات بعدی آن و سایر قوانین و مقررات مربوط شدنی است.

Islamic Azad University
Shahr-e-Qods Branch
Department of Electrical Engineering – Faculty of Engineering
A thesis for the Degree of (M.Sc.) Electrical Engineering

Title

Design of a low power 4-Bit rail to rail input range Flash ADC using standard cells

Supervisor
Dr. Mahdi Zare

Advisor
Dr. Mojdeh Mahdavi

By
Hassan Abedini

September, 2018

دسترسی به این مدرک بر پایهٔ آیین‌نامهٔ ثبت و اشاعهٔ پیشنهاده‌ها، پایان‌نامه‌ها، و رساله‌های تحصیلات تکمیلی و صیانت از حقوق پدیدآوران در آنها (وزارت علوم، تحقیقات، فناوری به شمارهٔ ۱۹۵۹۲۹/و تاریخ ۱۳۹۵/۹/۶) از پایگاه اطلاعات علمی ایران (گنج) در پژوهشگاه علوم و فنـاوری اطلاعات ایران (ایرانداک) فراهم شده و استفاده از آن با رعایت کامل حقوق پدیدآوران و تنها برای هدف‌های علمی، آموزشی، و پژوهشی و بر پایهٔ قانون حمایت از مؤلفان، مصنفان، و هنرمندان (۱۳۴۸) و الحاقات و اصلاحات بعدی آن و سایر قوانین و مقررات مربوط شدنی است.

دسترسی به این مدرک بر پایهٔ آیین‌نامهٔ ثبت و اشاعهٔ پیشنهاده‌ها، پایان‌نامه‌ها، و رساله‌های تحصیلات تکمیلی و صیانت از حقوق پدیدآوران در آنها (وزارت علوم، تحقیقات، فناوری به شمارهٔ ۱۹۵۹۲۹/و تاریخ ۱۳۹۵/۹/۶) از پایگاه اطلاعات علمی ایران (گنج) در پژوهشگاه علوم و فنـاوری اطلاعات ایران (ایرانداک) فراهم شده و استفاده از آن با رعایت کامل حقوق پدیدآوران و تنها برای هدف‌های علمی، آموزشی، و پژوهشی و بر پایهٔ قانون حمایت از مؤلفان، مصنفان، و هنرمندان (۱۳۴۸) و الحاقات و اصلاحات بعدی آن و سایر قوانین و مقررات مربوط شدنی است.